

報告番号	甲 工 (乙 工) 第 17 号 工 修	氏 名	多田 哲生
学位論文題目	VLSIメモリに対するテストの効率化に関する研究		

論文の目次

- 第1章 序 論
  - 1. 1 関連分野の歴史的背景
  - 1. 2 本研究の目的
  - 1. 3 本研究の内容
- 第2章 高速LSIの高精度タイミング測定法
  - 2. 1 緒 言
  - 2. 2 伝送線路における信号波形測定の問題
    - 2. 2. 1 LSIテスト環境
    - 2. 2. 2 LSIのタイミング測定の問題
  - 2. 3 電流注入法
    - 2. 3. 1 原 理
    - 2. 3. 2 擬似負荷回路
    - 2. 3. 3 電流注入のシミュレーション解析
  - 2. 4 VLSIへの適用
  - 2. 5 結 言
- 第3章 狭隘ボンディングパッドに対するプロービングの容易化
  - 3. 1 緒 言
  - 3. 2 狭隘パッドに対するプロービングの限界
  - 3. 3 新構造プローブカードの試作
  - 3. 4 VLSIへの適用
    - 3. 4. 1 電気的特性
    - 3. 4. 2 機械的特性
  - 3. 5 結 言
- 第4章 大規模内蔵メモリのテスト時間短縮法
  - 4. 1 緒 言
  - 4. 2 テスト回路に対するテストサイクル数の削減
    - 4. 2. 1 擬似乱数発生器によるテスト回路
    - 4. 2. 2 テストサイクル数の削減
  - 4. 3 テストベクタ容量の削減化
    - 4. 3. 1 記述法によるソーステストベクタ容量の削減化
    - 4. 3. 2 オブジェクトによるテストベクタ容量の削減化
  - 4. 4 内蔵メモリに対するテスト実行時間の考察
  - 4. 5 結 言
- 第5章 多様化するVLSIメモリの評価用テストプログラムの構成法
  - 5. 1 緒 言
  - 5. 2 VLSIメモリ評価用テストプログラムの問題点
  - 5. 3 評価用テストプログラムの構成
    - 5. 3. 1 プログラム構成のモジュール化

報告番号	甲 工 (乙 工) 第 17 号 工 修	氏 名	多田 哲生
学位論文題目	V L S I メモリに対するテストの効率化に関する研究		
5. 3. 2 プログラムの書式化 5. 3. 3 評価機能の拡張性 5. 3. 4 操作性の向上とオートコマンドバッファ 5. 4 V L S I メモリ評価への適用 5. 5 結 言 第6章 V L S I メモリ用自動不良解析システム 6. 1 緒 言 6. 2 電子ビームテストの原理 6. 3 不良場所への自動位置合わせ法 6. 3. 1 チップ内部の座標表示化 6. 3. 2 観測位置へのチップ移動 6. 3. 3 観測データの自動採取 6. 4 不良解析用電子ビームテストシステム 6. 5 V L S I メモリへの適用結果とその効果 6. 6 結 言 第7章 結 論 参考文献 主論文 (1) 多田哲生, 田中 宏, 山田 強, 常友 力: "テスト回路内蔵RAMのL S I テスタによるスト時間短縮化の検討", 電子情報通信学会論文誌, (C-I I), J 7 3-C-I I, No. 3 p p . 2 0 3-2 1 2, 1 9 9 0年3月 (2) T.Tada,T.Ishii,H.Nijjima and Y.Kohmoto:"High Throughput E-B Test System for VLSI Memories", Microelectronic Engineering,pp.47 - 54 (1990) (3) 浜田光洋, 西村安正, 多田哲生: "V L S I メモリの評価用試験プログラム構成およびその適用", 電子情報通信学会論文誌, (C-I I), J 7 4-C-I I, No. 1 1 p p . 7 5 5-7 6 2, 1 9 9 1年1 1月 副論文 (1) H.Maeno,T.Hanibuchi,T.Tada,R.Walters and T.Eto:"Testing of Embedded RAM Using Exhaustive Random Sequences",Proceedings of Inernational Test Conference,pp.105 - 110 (1987) (2) T.Tada,R.Takagi,S.Nakaø,M.Hyozo,T.Arakawa,K.Sawada and M.Ueda:"A Fine Pitch Probe Technology for VLSI Wafer Testing",Proceedings of Inernational Test Conference,pp.900 - 906 (1990) (3) 高木亮一, 田中浩司, 多田哲生: "高速L S I の試験における伝送特性の改善-電流注入法-", 電子情報通信学会 集積回路研究会 I C D 8 9 -1 7 0 1 9 8 9年1 2月1 5日			



報告番号	甲 工 乙 工 工 修	第 17 号	氏 名	多田 哲生
学位論文題目		VLSIメモリに対するテストの効率化に関する研究		
内容要旨				
<p>トランジスタが1947年に発明され、半導体の歴史が始まった。その後、半導体製造技術や回路設計技術の進展に伴い、民生用から産業用に至るあらゆる分野のエレクトロニクス機器の超大規模集積回路（VLSI:Very Large Scale Integration）化が進められ、今後はシステム・オン・チップ化時代の到来が期待されている。半導体の中でも特に、VLSIメモリは微細加工技術を基盤として高速化、大規模化、多様化、高信頼化を果たし、今日の高度情報化社会を実現するためのキーパーツとして不可欠なものとなっている。</p> <p>本研究は、今後一層の重要性を増していくVLSIメモリに関し、高速化、チップの小面積化、大規模化、多様化、高信頼化を対象としたテストの効率化を目的としている。以下にVLSIメモリ動向に対応したテストの研究内容を要約する。</p> <p>〈高速化〉</p> <p>VLSIメモリの動作機能を保証しつつそのテスト時間の短縮化と生産効率の向上を実現するために、大型の自動半導体検査装置であるLSIテスタを利用する。本研究では、LSIテスタを用いた高速デバイスの高速実動作テストを実現するためにタイミング精度の向上に関する方法を提案した。本手法は特性インピーダンスが不整合な伝送線路にテスタに内蔵されている擬似負荷回路から電流を注入することにより、波形のリングング現象を抑えることを目的としている。本手法の効果をシミュレーション解析で確認するとともに実際の高速VLSIメモリに適用してテスト周期が18MHzから100MHzに高速化が実現し、さらにリングングによる電圧変動幅が60%低減することを実証した。</p> <p>〈チップの小面積化〉</p> <p>VLSIメモリは大量生産を実現してビット単価を安価とするためにワイヤーボンディングパッド面積の縮小化とパッド配置間隔（パッドピッチ）を狭くして最小のチップ面積にしなければならない。また、テスト工程では複数個を同時にテストすることを実現してテストの生産効率を向上する必要がある。従来のウェーハテストのテスト（プロービング）手法は細長い金属針を用いて実施しているために多ピン化、耐久性、接触抵抗などに問題があり、パッド数が300個以上、パッドピッチが100μm以下の狭隘パッドへの適用が困難である。本研究では、狭隘パッドへのプロービングを実現するための新構造プローブカードを試作した。本プローブカードは感光性ガラスを写真製版法により微細加工したのでパッド間隔は75μm以下、パッド個数は480個が実現した。実際のLSIに適用することにより電氣的、機械的特性に問題がないことを確認した。本プローブカードは多ピン・狭隘パッド対応の新プロービング法として利用できることを明らかにした。</p>				

<p>〈大規模化〉</p> <p>システム・オン・チップ化に従い、大規模メモリがLSIロジックに内蔵されるようになった。今後、メモリの大規模化はテスト時間の増大となり、深刻なテストの問題になる。そこでLSIロジックと一体化した内蔵メモリに対するテスト時間短縮化を図るために擬似乱数発生器から構成したテスト回路を提案した。本テスト回路はスキャンパスシフトレジスタ群で構成したのでテスト手順数が極めて少なくなることを示した。また、ベクタ圧縮率を新たに定義することによりテストベクタ記述書式とテストベクタ容量の記述効果の関係を明らかにし、テストベクタ容量の削減化に有効な記述法は”SCAN”記述法であることを示した。次にテストベクタ、LSIテスタのハードウェア性能などの各パラメータを用いたテスト時間算出式を提案することでテスト時間を定量化した。そして大規模内蔵メモリの構成、テストベクタ記述法の選択、テストベクタ種類においてそれらの相互関係を明示することにより、テスト時間が最小となる指標を得た。</p> <p>〈多様化〉</p> <p>VLSIメモリは広範囲な分野で使用されるため、機能の専用化、多様化が求められている。このように多様化するVLSIメモリの電気特性や機能を効率よく評価するためにLSIテスタを用いる。しかし、このテスタで使用するプログラム言語はテスタの性能を最大限に利用するため極めて特殊な言語体系であり、評価・テストプログラムの作成および運用にはテスタ専用の特殊プログラム言語の習熟が必要なため非効率である。そこでテストプログラムを効率よく作成するプログラム構成法を提案した。本構成は汎用性と専用性の2種類のモジュール構造を採用したため多様化メモリの個別評価プログラム作成に柔軟に対応できる。また、本構成法によるテストプログラムを16種類のVLSIメモリ対して作成したところ従来の5分の1の時間に短縮することを実証した。</p> <p>〈高信頼化〉</p> <p>微細寸法により製造されるVLSIメモリは市場へ大量供給するため設計、製造などの不具合原因を早期に解明し、高品質なVLSIメモリを短期間で開発・生産することが求められている。従来の不良解析手法はVLSI内部の配線領域に直接細い長い金属針を接触して内部状態の観測を行っていたが、配線幅寸法の微細化が進み、この手法の適用はもはや不可能となってきた。そこで非接触でLSIの内部を観測する手法として電子ビームテスタが利用されるようになってきたが、電子ビームテスタの操作の自動化が不十分なことや、不良解析の実施には膨大な設計データを利用するため不良場所の特定化には時間を要するなどの課題がある。本研究では、設計データをほとんど利用することなく観測場所の抽出を容易とするメモリ専用の電子ビームによる不良解析システムを開発した。代表的な不良モードと不良場所には一意的な関係があることに注目し、不良モードから観測場所への電子ビームの自動位置合わせ手法を開発した。本手法は不良アドレスデータからチップ内部の位置のレイアウト座標にデータを変換することで実現した。また、大量の観測データを自動採取するためにウェーハステージの導入と不良状態をわかり易く表示するための専用ソフトウェアも開発した。本システムをVLSIメモリに適用することにより各種観測データ採取時間は従来の19分の1に大幅に短縮できることを確認した。</p> <p>以上、VLSIメモリ動向に対応したテストに関する研究を実施することにより、今後のULSI（Ultra Large Scale Integration）メモリのテストの効率化に対する指針を得ることができた。</p>
--



VLSIメモリに対するテストの  
効率化に関する研究

1996年

多田哲生



②

VLSIメモリに対するテストの  
効率化に関する研究

1996年

多田哲生



## 目 次

第1章 序 論 .....	1
1. 1 関連分野の歴史的背景 .....	1
1. 2 本研究の目的 .....	6
1. 3 本研究の内容 .....	8
第2章 高速LSIの高精度タイミング測定法 .....	9
2. 1 緒 言 .....	9
2. 2 伝送線路における信号波形測定の問題 .....	10
2. 2. 1 LSIテスト環境 .....	10
2. 2. 2 LSIのタイミング測定の問題 .....	11
2. 3 電流注入法 .....	13
2. 3. 1 原 理 .....	13
2. 3. 2 擬似負荷回路 .....	15
2. 3. 3 電流注入のシミュレーション解析 .....	16
2. 4 VLSIへの適用 .....	19
2. 5 結 言 .....	21
第3章 狭隘ボンディングパッドに対するプロービングの容易化 .....	23
3. 1 緒 言 .....	23
3. 2 狭隘パッドに対するプロービングの限界 .....	23
3. 3 新構造プローブカードの試作 .....	27
3. 4 VLSIへの適用 .....	29
3. 4. 1 電気的特性 .....	29
3. 4. 2 機械的特性 .....	31
3. 5 結 言 .....	32
第4章 大規模内蔵メモリのテスト時間短縮法 .....	33
4. 1 緒 言 .....	33
4. 2 テスト回路に対するテストサイクル数の削減 .....	33
4. 2. 1 擬似乱数発生器によるテスト回路 .....	34
4. 2. 2 テストサイクル数の削減 .....	36
4. 3 テストベクタ容量の削減化 .....	41



4. 3. 1	記述法によるソーステストベクタ容量の削減化	4 2
4. 3. 2	オブジェクトによるテストベクタ容量の削減化	4 5
4. 4	内蔵メモリに対するテスト実行時間の考察	4 6
4. 5	結 言	5 1
第5章	多様化するVLSIメモリの評価用テストプログラムの構成法	5 3
5. 1	緒 言	5 3
5. 2	VLSIメモリ評価用テストプログラムの問題点	5 3
5. 3	評価用テストプログラムの構成	5 4
5. 3. 1	プログラム構成のモジュール化	5 4
5. 3. 2	プログラムの書式化	5 9
5. 3. 3	評価機能の拡張性	6 0
5. 3. 4	操作性の向上とオートコマンドバッファ	6 0
5. 4	VLSIメモリ評価への適用	6 3
5. 5	結 言	6 4
第6章	VLSIメモリ用自動不良解析システム	6 5
6. 1	緒 言	6 5
6. 2	電子ビームテストの原理	6 5
6. 3	不良場所への自動位置合わせ法	6 7
6. 3. 1	チップ内部の座標表示化	6 9
6. 3. 2	観測位置へのチップ移動	7 1
6. 3. 3	観測データの自動採取	7 1
6. 4	不良解析用電子ビームテストシステム	7 3
6. 5	VLSIメモリへの適用結果とその効果	7 4
6. 6	結 言	7 6
第7章	結 論	7 7
謝 辞		8 0
参考文献		8 1
本研究に関する関連発表論文		9 2

## 第1章 序 論

### 1. 1 関連分野の歴史的背景

トランジスタの発明が1947年にJohn Bardeen, William Shockley, Walter H. Brattainにより発明され<sup>(1-1)~(1-3)</sup>, 半導体, 集積回路の歴史が始まった。そして1959年Texas Instruments(TI)社のJack Kilby<sup>(1-4)</sup>がシリコン表面上にトランジスタ, コンデンサ, 抵抗を金線で接続する構造が特許として出された。同時期にFairchild社のRobert H. Noyce, Jean Hoerni<sup>(1-5)</sup>らが写真製版法と選択拡散法によってシリコン表面の絶縁膜の上にアルミニウムを蒸着させて配線としてトランジスタ, コンデンサ, 抵抗を相互接続した電子回路の考えが発表された。これが, 現在の集積回路(IC: Integrated Circuit)の原点であった。その後, 集積回路技術の進展に伴い, 民生用から産業用に至るまであらゆる分野のエレクトロニクス機器の大規模集積回路(LSI: Large Scale Integration)化が進められ, これによりエレクトロニクス機器の高性能化, 高信頼化, 低価格化が実現されている。LSIの種類は論理機能を中心とするマイクロプロセッサやゲートアレーなどのLSIロジックと記憶機能に専用化したLSIメモリに大別される。特にLSIメモリは微細加工技術の発展を基盤として, 1チップに集積化される素子(トランジスタ)数は飛躍的に増大しつつあり, 年率で約1.3倍となっている。また, 大量生産により, ビット当たりの価格が低下するに従い需要が増大し, 1993年の世界の半導体メモリ市場は2兆円の規模を形成し, 1999年には5兆円規模になると予測されている。LSIメモリにはその記憶機構に応じてダイナミックRAM(DRAM), スタティックRAM(SRAM), マスクROM, EPROM, EEPROMなどのシングルチップメモリを中心とした製品群やLSIロジックと一体化した内蔵メモリなど, 各々の特長を生かしつつ, 微細化をベースとして高速化, 大規模化, 多様化, 高信頼化を果たし, 今日の高度情報化社会を実現するためのキーパーツとして不可欠なものとなっている。

高速化はエレクトロニクス機器の高性能化のため, CPUの中核であるマイクロプロセッサなどのLSIロジックの高速化に対応し, 各メモリの高速化も急速に進んでいる。図1.1はDRAMの動作速度の年次推移を示す。特にEWSの高速化が牽引となり, 高速入出力インターフェースを有したメモリが開発されている<sup>(1-6)~(1-10)</sup>。



大規模化については1970年に3個のトランジスタメモリセルで構成された単純な1KビットDRAMが開発されて以来<sup>(1-11)</sup> 現在まで、DRAMは微細加工技術開発のテクノロジードライバとしての役割を担うと共に最先端の大規模化を可能としてとってきている。図1. 2は製品化されたDRAMの規模(ビット容量)と最小微細加工寸法(デザインルール)の年次推移を示す。

図から明らかなように、DRAMは3年ごとに4倍のビット容量が増大し、1995年の国際個体素子回路会議(ISSCC)において1G(ギガ)ビットDRAMの試作に関する論文が発表されている<sup>(1-12)</sup>、<sup>(1-13)</sup>。更に、メモリの応用は従来の計算機以外に今後は映像、通信などあらゆる分野に拡大しており、パッケージ、語構成の多様化を始めとして、個別の応用機能に対応すべく画像用、映像用メモリとして専用メモリの開発が行われている<sup>(1-14)</sup>、<sup>(1-15)</sup>。また、LSIはエレクトロニクス機器の小型化、高機能化、高信頼化を目指してロジックとメモリを混載して1チップで実現するいわゆるシステム・オン・シリコン化技術の開発も進められている<sup>(1-16)</sup>。

このようなVLSIメモリの高速化、大規模化、多様化、高信頼化に対し、効率よく試験する手法の確立は、次に述べるようにVLSIメモリの発展につれて益々重要な課題となっている。

#### 〈高速化〉

高速VLSIメモリのテストでは、VLSIメモリの動作機能を保証しつつそのテスト時間の短縮化と生産効率の向上を実現するために、大型の自動半導体検査装置であるLSIテスタを利用する。このテスタにて高速デバイスの高速実動作テストを実現するためにタイミング精度の向上に関する方法が種々報告されている<sup>(1-17)~(1-24)</sup>。しかし、高速デバイスをテストする際、被テストデバイスを含めたテストシステム全体の測定系に対する高速動作テストのタイミング精度の向上はまだ十分に高いとは言えない<sup>(1-25)~(1-27)</sup>。従って、LSIテスタによる高速デバイスの高精度な実動作テストの実現方法の研究が、VLSIメモリの高速化に伴って益々重要な課題となっている。

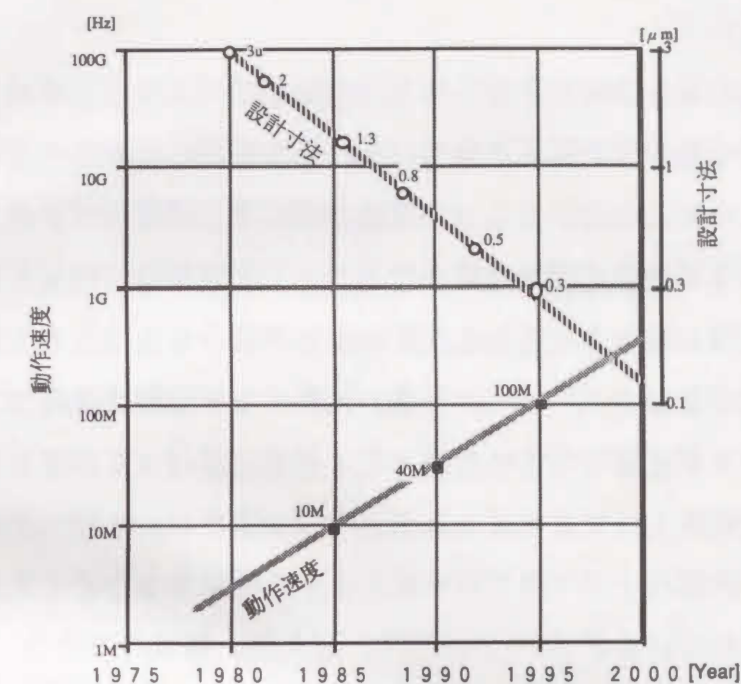


図1. 1 DRAMの高速化と設計寸法の推移

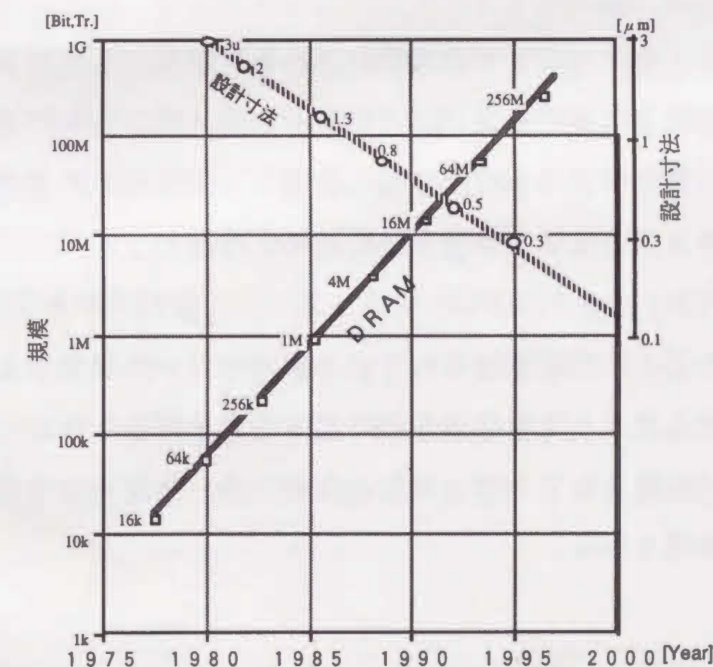


図1. 2 DRAMの規模と設計寸法の推移



#### 〈チップの小面積化〉

DRAMは市場への安定供給を果たすべく、大量生産を実現してビット単価を低減するためにチップ面積の最小化が要求されている。その実現のためには同時測定個数を増大して生産効率を高めることとメモリセル面積の縮小化と同時にパッケージ封止に必要なワイヤーボンディングパッド面積の縮小化とパッド配置間隔（パッドピッチ）を狭くし、最小のチップ面積を得ることである。同時測定個数の増大はLSIテストですでに32個まで実現されてきている<sup>(1-28)</sup>。一方、メモリセル面積は微細加工技術開発の推移と共に縮小化<sup>(1-29)</sup>が実施されているが、ボンディングパッドに関しては、ウェーハ状態における従来のテスト（プロービング）手法の限界のためパッドの狭隘化を困難としている<sup>(1-30)</sup>。狭隘パッドへのプロービングを実現するための新構造のプローブカードの開発が行われているが<sup>(1-31)～(1-34)</sup>、耐久性、電気的特性などの実用的データの実績がまだ十分でなく、従来のプローブ針構造に置き換わるまでに至っていない。従って、狭パッドピッチに対応可能なプロービング手法の実用化に向けた検討が必要となっている。

#### 〈大規模化〉

VLSIのシステム・オン・チップ化に従い、メモリがLSIロジックに数多く内蔵されるとともに処理対象となる情報量が膨大化するためメモリ自体の規模も飛躍的に増大する。メモリの大規模化はテスト時間の増大となり、深刻なテストの問題となっている。従来はシングルチップメモリのテスト時間短縮化技術として冗長設計手法<sup>(1-35)</sup>、<sup>(1-36)</sup>、高効率なテストパターンの開発<sup>(1-37)～(1-42)</sup>、並列テスト手法<sup>(1-43)</sup>、組み込みテスト方式<sup>(1-44)</sup>などの研究が報告されているが、ロジックLSIと一体化したいわゆる内蔵メモリに対するテスト時間短縮化の研究はあまり報告されていない。今後、メモリは様々なLSIに搭載されて1チップ化となるため、内蔵メモリのテスト技術の確立は益々重要な研究課題となる。

#### 〈多様化〉

VLSIは高度情報化社会の発展の基盤であり、その中でもメモリは広範囲な分野で使用されるため、機能の専用化、多様化が求められている。このように多様化するVLSIメモリの電気特性や機能を効率よく評価するために大型の汎用テストを用いる。しかし、このテストで使用するプログラム言語はテストの計測機能やデータ処理などの性能を最大限に利用するため極めて特殊な言語体系であり、そのプログラム言語に基づく評価・テストプログラムの作成および運用にはテスト専用の特殊プログラム言語の習熟が必要なため非効率となっている。従って、多様化するVLSIメモリに対応して、そのVLSIメモリの評価・テストを実施するためのテストプログラム作成の効率的手法の開発が重要な課題となっている。

#### 〈高信頼化〉

微細寸法により製造されるVLSIメモリはプロセス工程での欠陥密度や加工時の安定性に依存してその電気特性および動作余裕度が設計仕様と異なったり、プロセス工程に異常があれば、正常動作するVLSIメモリは得られない。特にVLSIメモリは市場へ大量供給するため設計、プロセスなどの不具合原因を早期に解明し、高品質なVLSIメモリを短期間で開発・生産することが求められている。従来の不良解析手法はVLSI内部の配線領域に直接細い長い金属針を接触して内部状態の観測を行っていたが、配線幅寸法の微細化が進み、この手法の適用はもはや不可能となってきている。そこで非接触でLSIの内部を観測する手法として電子ビームテストが利用されるようになってきたが<sup>(1-45)～(1-50)</sup>、電子ビームテストの操作の自動化が不十分なことや、不良解析の実施には膨大な設計データを利用するため不良場所の特定化には時間を要するなどの課題が多く残されている。今後ますます微細化するVLSIメモリの開発期間の短縮化並びに高信頼化を実現するために効率的な不良解析システムの開発が必須となっている。

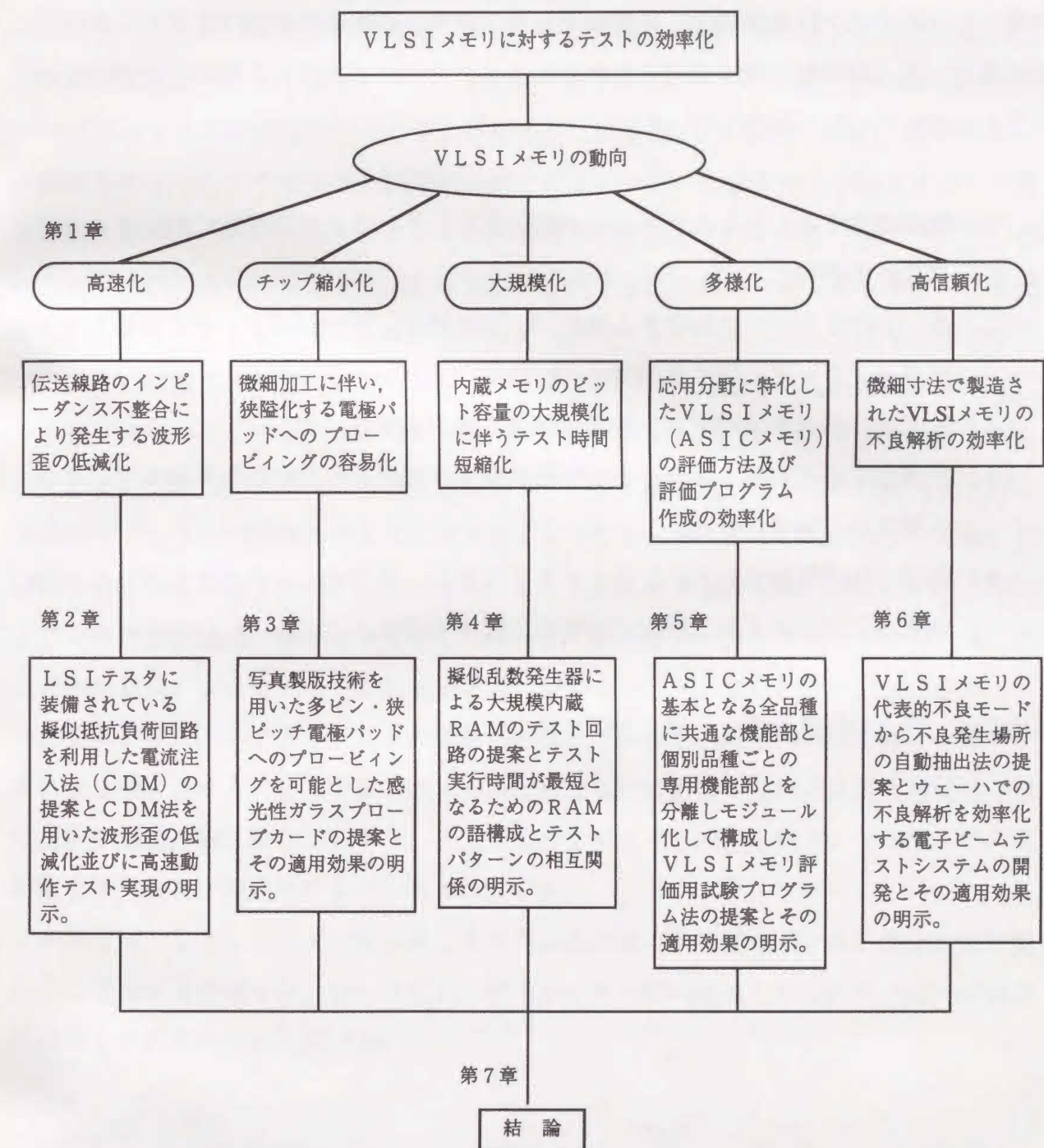


## 1. 2 本研究の目的

本研究は、1. 1節で述べたVLSIメモリの微細化に伴う高速化、チップの小面積化、大規模化そして高度情報化社会の実現に向けた多様化、高信頼化となることによって生じる種々のテストに関する課題に対して、1) LSIテストを使用した高精度テスト手法を構築すること、2) 多ピン・狭ピッチ対応のウェーハテスト時のプロービングを容易とする新構造プローブカードを開発すること、3) システム・オン・チップ化にともなう大規模内蔵メモリのテスト時間増大を解決するVLSIメモリ設計のためのテスト容易化設計の具体的方策を得るとともにそのテスト手法を開発すること、4) 種々のVLSIメモリの評価テストプログラムの作成時間短縮に寄与するためのテストプログラムのプログラム構成法を確立すること、5) およびVLSIメモリの信頼性を高めるための非接触方式による効率的な不良解析システムを開発すること、の各々を実際のVLSIメモリに個別に適用することによって、VLSIメモリに対するテストの効率化の効果の確認を得ることを目的としている。

表1. 1に本研究の目的およびその構成を示す。

表1. 1 本論文の内容とその構成





### 1. 3 本研究の内容

本研究では、VLSIメモリのテスト技術の面から高速LSIのタイミング測定精度の向上、多ピン化・狭隘化するボンディングパッドのプローベイングの容易化、大規模内蔵メモリのテスト時間短縮化、多様なVLSIメモリの評価用試験プログラムの作成の効率化、および微細寸法で製造されたVLSIメモリの不良解析の効率化を達成すべく以下の項目について研究を行った。

- (1) 高速動作するLSIのタイミング測定をLSIテストで高精度に測定する方法に関する研究。
- (2) 多ピン化ならびに狭隘化する電極パッドに対し、プローベイングを容易化するプローブカードに関する研究。
- (3) 大規模内蔵メモリのテスト時間短縮化に関する研究。
- (4) 多様化するVLSIメモリの評価用試験プログラムのための効率的なプログラム構成法に関する研究。
- (5) 微細寸法で製造されたVLSIメモリに対し、電子ビームテストを用いた非接触テスト法による不良解析の効率化に関する研究。

本論文は、以上の研究成果を7章に分けて構成している。

## 第2章 高速LSIの高精度タイミング測定法

### 2. 1 緒言

半導体ウェーハプロセスの微細化、および回路技術の発達に伴って、100MHz以上の周期で高速動作する半導体デバイスが開発されている<sup>(2-1), (2-2)</sup>。それらの高速動作デバイスのタイミング諸特性を効率よく高精度に測定するためには、高速・高タイミング精度を有したLSIテストの利用が必須である。一方、LSIテストのタイミング精度の向上を図るために、種々のタイミング補償方法が報告されている<sup>(2-3) ~ (2-10)</sup>。それら補償方法の多くはLSIテストの機能を診断するためのボードである専用ジグを使用して、LSIテストのピンエレクトロニクス内のドライバからの出力信号の印加時刻、あるいは検出比較器（以下、レシーバと言う）への入力信号の比較時刻を測定し、その値に基づいてLSIテストのドライバ、およびレシーバのタイミングを補正するものである。しかし、タイミング補償はLSIテストと被測定LSI用ボード（以下DUTボードという）の接触点であるテストのピンエレクトロニクスの入出力端子において達成されているに過ぎない。したがって、LSIテストで求められた半導体デバイスのタイミング測定値は、被テストLSIに対応して製作されたDUTボード等のテスト用ジグの配線長によるタイミング誤差値を含んでいる<sup>(2-11)</sup>。またLSI、DUTボード、テストピンエレクトロニクスの各部から構成される伝送線路内の各特性インピーダンス値を整合させることは困難であるため反射波などの影響を受けた品質の劣化した信号波形が測定対象となってしまう。そこでLSIテストを利用したテスト環境下での高精度なタイミング測定法の実現が望まれている。

本章では、LSIテストからLSIまでの伝送線路のインピーダンス不整合により発生する反射波を軽減する手法を提案し、その手法を実際の高速LSIのタイミング測定に適用した結果について述べる。



## 2. 2 伝送線路における信号波形測定の問題 (2-12) ~ (2-16)

### 2. 2. 1 LSIテスト環境

LSIテストを使用してLSIをテストする場合、DUTボードをLSIテストのテストヘッド部に装着する。図2. 1にDUTボード上のソケットに収納された被測定LSIとLSIテスト内部のテストドライバとレシーバとの接続構成を示す。テストドライバはLSIへの入力信号波形を発生し、レシーバはLSIからの出力信号波形を比較検出する機能を有している。テストドライバーからDUTボードの各接続部分を経てLSIのパッケージ端子（ピン）に至る経路は信号波形が伝播する伝送線路であり、伝送線路内の特性インピーダンスが整合している状態では反射波は発生しないことが知られている。すなわちインピーダンス整合した伝送線路は被テストLSIに対する入力または出力波形は忠実に伝播されるため高精度なタイミング測定が可能になる。しかし、現状のテスト環境では図に示すように複雑な機械構造による接続部分が多数存在し、また配線材質の誘電率ならびに配線形状に依存した抵抗、容量、インダクタンスなどの各電気特性値の違いのためにテストドライバーからLSIパッケージピンまでの伝送線路内の各インピーダンス値が異なり、伝送線路の特性インピーダンスは不整合となる。そこで従来から特性インピーダンスを整合する方法がいくつか報告されているが、そのほとんどはDUTボード上に終端用抵抗を搭載する構造を採用しているため、LSIのパッケージピン配置に対応した専用のDUTボードを製作することで対応している。

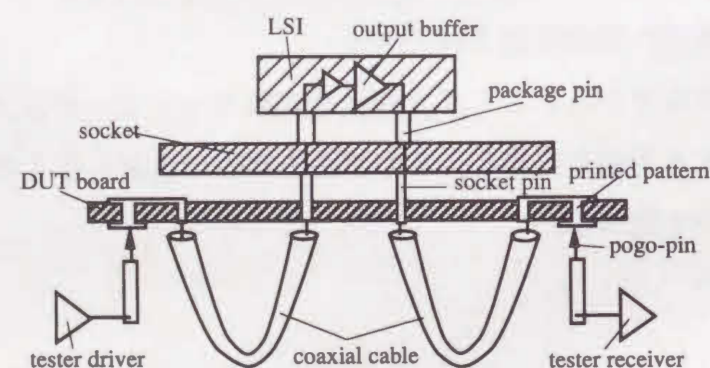


図2. 1 テスタ接続構造

そのためにDUTボードの製造コストの増大化およびボード設計期間の長期化などのテストコストの増加が問題となっている。一方、LSIの開発初期段階ではLSIの電源電圧を変化させてLSIの動作余裕度の調査を行う必要がある。一般にCMOS構成によるLSI内部の出力バッファの出力インピーダンス値は印加（電源）電圧に依存してその値は変化するためLSIからテストまでの固定値を有した特性インピーダンスの伝送線路に対して完全なインピーダンス整合を実現することは極めて困難である。したがって、特性インピーダンスが不整合な伝送線路上を伝播する信号波形に対しLSIテストを使用した高精度な測定手法の開発が求められている。

### 2. 2. 2 LSIのタイミング測定の問題

本節では特性インピーダンスが不整合な伝送線路におけるLSIのタイミング測定上の問題を明らかにする。図2. 2は図2. 1に対する伝送線路の回路モデルを示す。 $R_{out}$ はLSI内部の出力バッファの出力インピーダンス、 $Z_0$ はテストレシーバまでの伝送線路の特性インピーダンス、 $\tau$ は伝送線路の伝播遅延時間、 $C_{total}$ は伝送線路の全浮遊容量である。CMOSインバータ回路で構成される出力バッファのNチャネルトランジスタが導通（オン）時にLSIの出力インピーダンスの値は最小値となる。すなわち $R_{out}$ と $Z_0$ の値の相違差が最大となり、この時のテスト環境である伝送線路の特性インピーダンス不整合の度合いが最大となる。これはLSIの出力バッファの出力が「H：高電圧レベル」から「L：低電圧レベル」に変化する（立下がり）時に信号波形のリング現象として観測される。

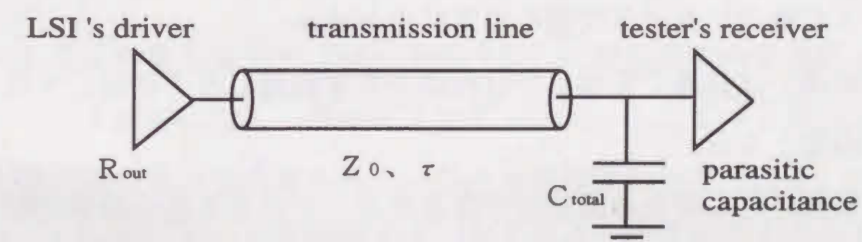


図2. 2 伝送線路モデル



図2.3はLSIの「H:V<sub>0</sub>」出力波形が「L:0V」に変化した時のリングング波形のレシーバ入力端での論理的モデルを示す。図中のリングングにより生じたアンダーシュートならびにオーバーシュート状態での最大（ピーク）電位をV<sub>p</sub>, V<sub>u</sub>とするとその値はそれぞれ次式で与えられ<sup>(2-17)</sup>、反射の周期は2τとなる。

$$V_p = \frac{R_{out} - Z_0}{R_{out} + Z_0} \cdot V_0 \quad (2.1)$$

$$V_u = \left( \frac{R_{out} - Z_0}{R_{out} + Z_0} \right)^2 \cdot V_0 \quad (2.2)$$

図2.4は実際のLSIの出力波形をテストのユーティリティソフトウェアの1つであるシュムプロットを用いて表示したレシーバへの入力（検出）波形を示す。次に、LSIの出力が「H」から「L」に変化するまでのタイミング遅延時間測定の問題について述べる。テスト実行時では「L」判定規格はVOL以下としているためリングング波形においてVOL以下の電位となる時刻がそれぞれt<sub>1</sub>, t<sub>2</sub>, t<sub>3</sub>と3ヶ所存在しており、基準時刻（この場合t<sub>0</sub>）から「L」電位になるまでのタイミング遅延時間はそれぞれt<sub>0</sub>からt<sub>1</sub>, t<sub>0</sub>からt<sub>2</sub>, t<sub>0</sub>からt<sub>3</sub>と3種類存在することになる。特にリングング現象がLSIの次の動作まで及ぶ場合は高速LSIテストを利用しているにもかかわらずテストは低速で行わなければならないことになる。また、「L」電位を保持する時間（「L」電位ホールド時間）測定では基準時刻をt<sub>1</sub>とするとそれぞれt<sub>1</sub>からt<sub>2</sub>, t<sub>1</sub>からt<sub>3</sub>, t<sub>1</sub>からt<sub>4</sub>の3種類の時間が求まることとなる。いずれの場合もリングングが発生した信号波形に対してタイミング測定を実施するため複数の測定値が得られ、正確なLSIのタイミング測定値の特定化が困難となっている。

LSIのタイミング測定における問題を以下にまとめる。

- 1) テスト速度（周期）は低速で実施しなければならず高速LSIに対して実（高速）動作テストが困難となる。
- 2) テストの判定規格に対し複数の測定値が存在することになり測定結果の特定化が困難となり、LSIのタイミング測定結果が不正確となる。
- 3) 問題の原因はインピーダンス不整合によるリングング波形を測定することである。

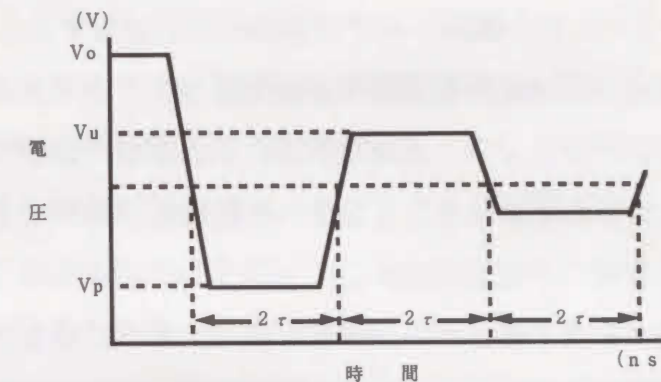


図2.3 レシーバ検出波形

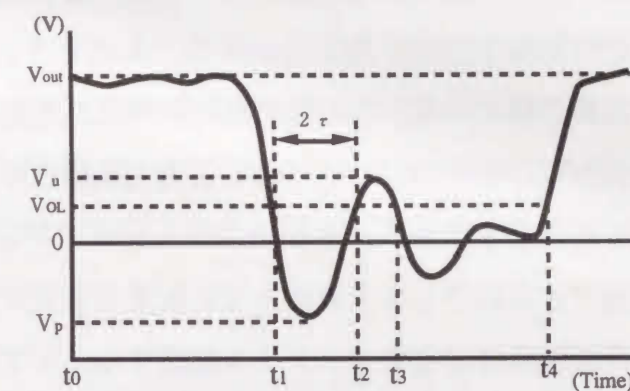


図2.4 LSIのレシーバ検出波形

## 2.3 電流注入法<sup>(2-18), (2-19)</sup>

### 2.3.1 原理

図2.5にLSIの出力電位が「H」から「L」に変化時での電流注入法の動作原理を示す。リングング波形に対し、最初にアンダーシュートしている期間2τでは、伝送線路の浮遊容量は負の電圧で充電されたいわゆる過放電の状態である。つまりこの期間では伝送線路上を伝播している反射波形は、伝送線路上に分布して存在している浮遊容量の電荷を次々と放電し、電流はLSIのグランド側に向って流れる（電流i）。このとき浮遊容量には負電荷（-Q）が蓄積した状態となる。そして、次の期間2τでは電



流は逆にLSIから伝送線の浮遊容量の方向に流れ、浮遊容量を充電し、その時の電圧は $V_u$ まで上昇する。さらに次の期間 $2\tau$ では電流が再び逆流する。その結果、伝送線上に幾重もの反射が生じ、伝送線を伝播する波形はリングングすることになる。ここで、最初のアンダーシュートしている過放電状態の伝送線の浮遊容量に強制的に外部から高速に電荷を注入することにより、LSIへの電流量が抑制できると考えられる。その結果、反射によるピーク電圧が減少し、リングングが落ち着くまでの時間（セトリングタイム）が短縮すると予測される。電荷を注入するのに最も効果的な位置は電荷が一番最初に過放電を開始するレシーバの入力端である。以下、本論文ではこの方法を「電流注入法」という。

次に電流注入法をLSIテストで実現する手法について述べる。一般にテストには被テストLSIの出力に規定の負荷を接続した交流テスト（ACテスト）を容易にする機能として擬似負荷回路が装備されている。この擬似負荷回路は定電流電源を内蔵しており、またテストピンエレクトロニクス（レシーバ部）と定電流電源との接続はテストプログラムにより高速で制御可能となっている。さらに、テストピンとLSI出力ピンの接続がプログラム記述で実現できるのでLSIの出力ピン配置の変更に柔軟に対応できる。したがって、擬似負荷回路の各設定をプログラム記述することで、高速に擬似負荷回路から電流を伝送線路に供給することが可能となる。

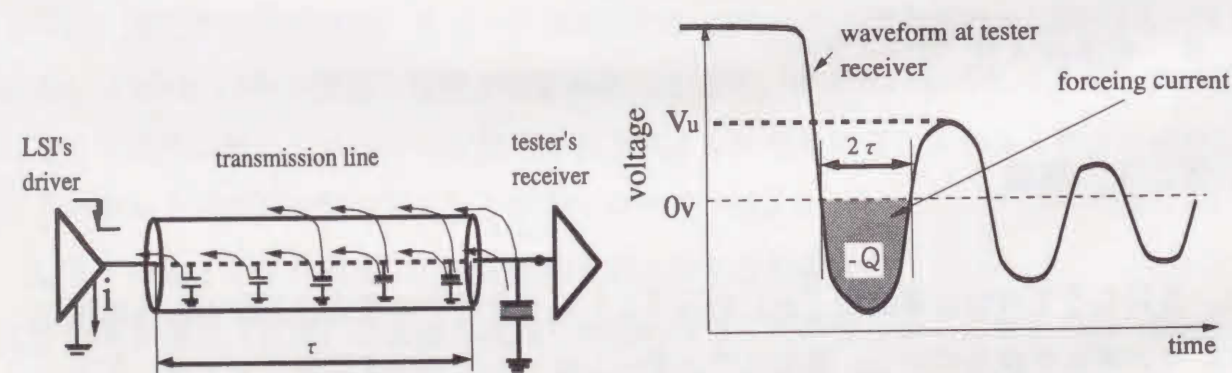


図 2. 5 電流注入法の原理

## 2. 3. 2 擬似負荷回路

図 2. 6 はテストに装備している擬似負荷回路を示す。擬似負荷回路は高速スイッチ、ダイオードそして定電流電源から構成される。LSI と擬似負荷回路の電氣的接続は高速トランジスタスイッチ $T_r$ の導通（オン）または遮断（オフ）することで実現される。次に電流注入時の擬似負荷回路の動作について述べる。まず、伝送線の電位がコンパレータ入力端（図中のP点）の電位より低い場合は、ダイオード $D_1$ の両端に順方向の電位差が生じ、 $D_1$ はオン状態となる。そして定電流電源からダイオード $D_1$ を経て電流 $I_{DRV}$ が伝送線の浮遊容量 $C_{total}$ に流れ込む。この時ダイオード $D_2$ の両端には電位差が生じないのでダイオード $D_2$ はオフ状態を保っている。反対に、伝送線の電位がレシーバ入力端（P点）の電位より高い時は、ダイオード $D_2$ がオン状態となる。そして定電流電源からダイオード $D_2$ を経て電流 $I_{DRV}$ がグランド側に流れる。この時、ダイオード $D_1$ の両端は逆方向の電位差であるため $D_1$ はオフ状態である。以上より、伝送線路に対して擬似負荷回路から電流を注入することが可能となる。

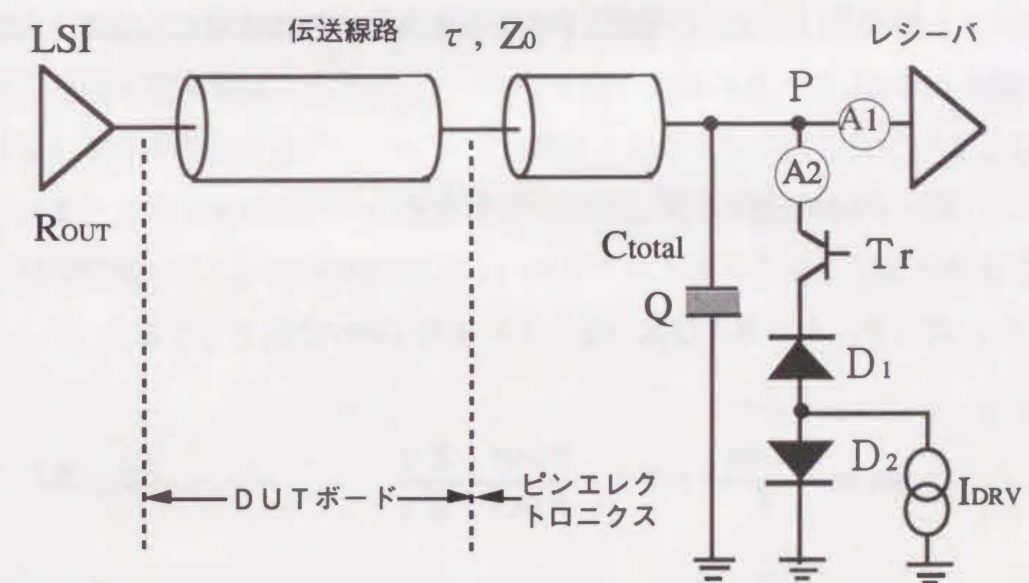


図 2. 6 擬似負荷回路



### 2. 3. 3 電流注入のシミュレーション解析

本節では、"電流注入法"の回路シミュレーションについて述べる。シミュレータはSPICE2G.6を用い、伝送線路上を伝播する信号波形ならびに注入する電流について検討する。

シミュレーションにはSPICEパラメータを使用し、LSIからテストまでの経路を構成するLSIの出力バッファ、DUTボード、ピンエレクトロニクス(P.E.)のL, R, C,  $\tau$ およびZ0を用いる。伝送線路への電流の注入は擬似負荷回路に内蔵した定電流電源から行う。

まず、定電流電源から供給(注入)する電流値を求める。LSIの出力「H」から「L」の変化時のアンダーシュート状態の伝送線路の浮遊容量Ctotalに充電される電荷Qは式(2.3)で与えられる。

$$Q = C_{total} \cdot V_p \quad (2.3)$$

ここで、Vpはアンダーシュート時のピーク電圧である。

アンダーシュート期間T(2 $\tau$ )に電流IDRVを伝送線路の浮遊容量Ctotalに注入した時の電荷Qは以下となる。

$$Q = I_{DRV} \cdot T \quad (2.4)$$

式(2.1), 式(2.3)および式(2.4)よりIDRVは以下となる。

$$I_{DRV} = \frac{C_{total}}{T} \cdot V_0 \cdot \frac{R_{OUT} - Z_0}{R_{OUT} + Z_0} \quad (2.5)$$

ところで、伝送線路を構成する材質の誘電率、配線長、LSIの出力電位など各パラメータ値は予め判明しているので、ここではパラメータ値を以下として式(2.5)より電流注入量IDRVは3.3mAとなる。

各パラメータ値：

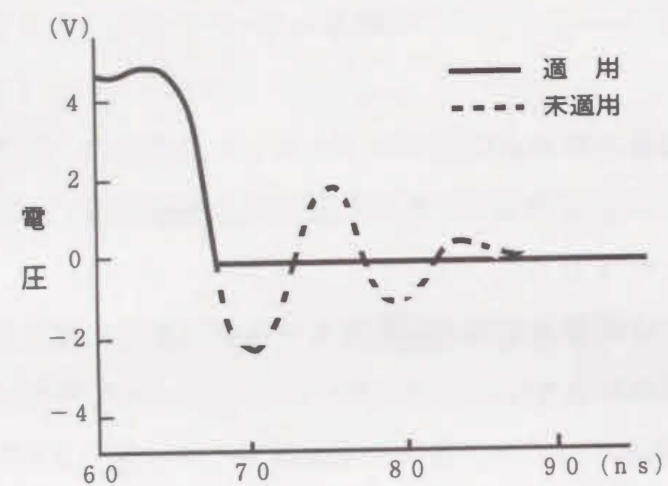
$$\begin{aligned} C_{total} &= 60 \text{ pF} \\ R_{out} &= 20 \Omega \\ Z_0 &= 100 \Omega \\ T &= 2\tau = 6 \text{ ns} \\ V_0 &= 5 \text{ V} \end{aligned}$$

ここで、Z0はLSIテストとLSIの間にあるDUTボードの特性インピーダンスであり、主に配線に用いられる同軸ケーブルの特性インピーダンス値である。また、Ctotal, Tは同軸ケーブルの容量ならびに遅延時間であり、配線長は15cmとした。

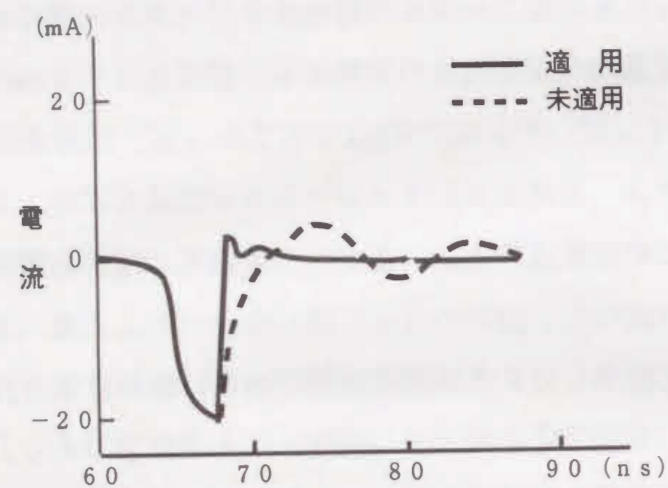
RoutはLSIの出力インピーダンス、V0はLSIの「H」出力電位である。

図2.7は上記パラメータによるシミュレーション結果を示す。レシーバ側に流れる電流波形を観測するために電流計A1, また伝送線路側に流れる電流を観測するために電流計A2をそれぞれ設けた。図中の(a)はレシーバの入力端(P点)の電圧波形、(b)は電流計A1で検出したP点の電流波形である。破線は電流注入を適用しない場合(未適用)を示し、実線は電流注入法(適用)による結果である。(c)は電流計A2にて検出した定電流電源からダイオードD1を経て伝送線路へ注入される電流の変化を示す。(a)より本手法によりリングングが軽減された波形が得られていることが明らかである。また、定電流電源による電流はオーバーシュート並びにアンダーシュートそれぞれの発生期間に対し、伝送線路側あるいはグランド側に有効に注入されることも判明した。

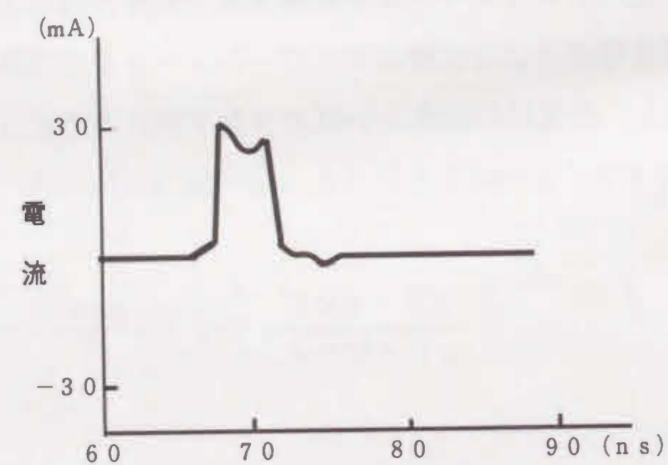




(a) P点の電圧波形



(b) 電流計A1の電流



(c) 電流計A2の電流

図2.7 シミュレーション結果

## 2.4 VLSIへの適用

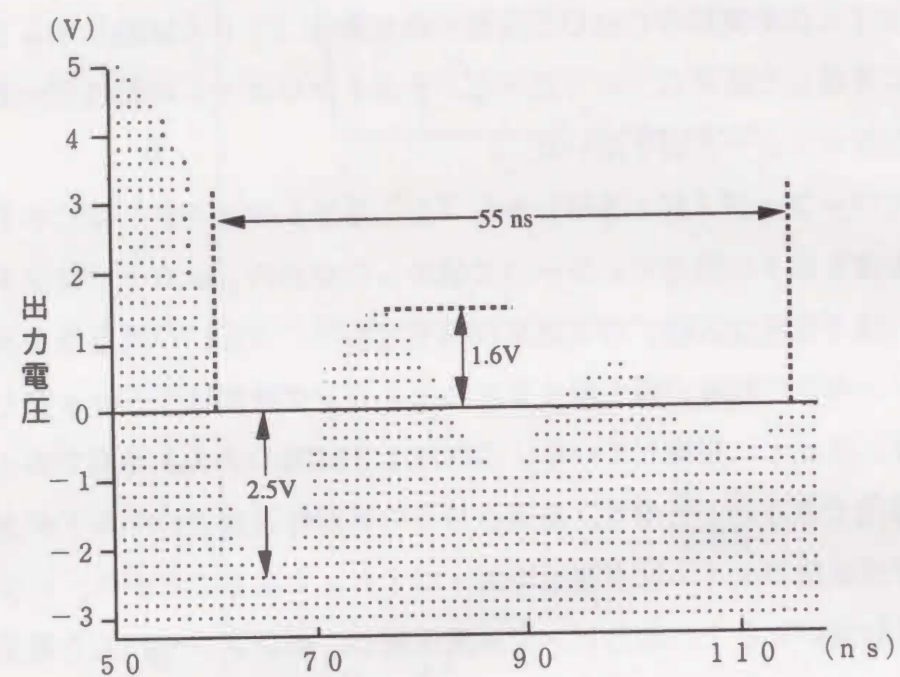
本節では電流注入法を実際のCMOS構造の高速動作(100MHz)するLSIのタイミング測定に適用した結果について述べる。テストプログラムの記述データは2.

3.3で求めた各パラメータ値を用いた。

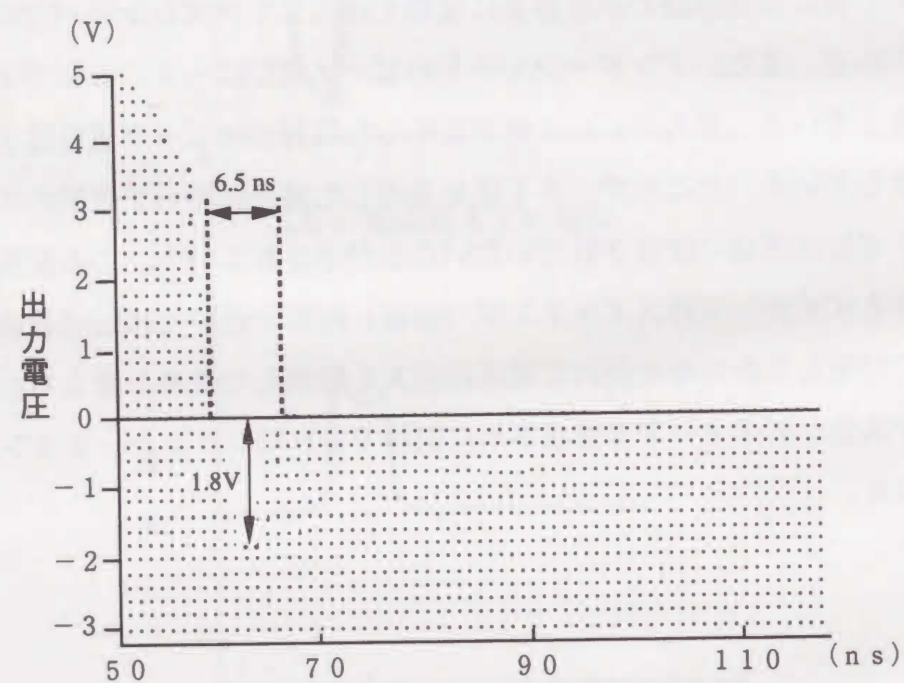
LSIの出力バッファが「H:5V」から「L:0V」の立下がり時に本手法を適用した。図2.8はLSIの出力をレシーバで検出した波形のシュムープロット図である。図中(a)は「電流注入法」の未適用の場合であり、(b)は適用後を示す。

適用前ではリング現象が落ち着くまでのセトリング時間は55ns要していたが、適用後は6.5nsに短縮している。これは18MHzのテスト周期であったが150MHzまで高速化できることとなり、高速LSIの実動作速度でのテストが実現可能となる。一方、伝送線路のタイミング遅延時間 $\tau$ は3nsであることから、レシーバ入力端で反射した反射波がLSIの出力ピンで再度反射し、再びレシーバ入力端まで到達する時間は6nsとなる。したがって、本適用例では反射波が伝送線路をLSIとレシーバ間を1往復する間に伝送線路の浮遊容量に電荷を注入して再度レシーバでの反射を抑制したと考えられる。また、アンダーシュートのピーク電位は-2.5Vであったが-1.8Vに改善している。そしてLSI端で反射した反射波のピーク電位は1.6Vがほぼ0Vに減少している。ところで、本手法を適用した場合において最初のアンダーシュートのピーク電位は完全に改善されていないことが示されている。この原因は擬似負荷回路を構成するダイオードのスイッチング(応答)時間が遅いため伝送線路の電位が5Vから0Vに到達してからやや遅れて電流の注入を開始したためと考えられる。スイッチング特性が高速なダイオードで構成された回路であればシミュレーション結果と一致すると思われる。





(a) 未適用時のLSI出力波形



(b) 適用時のLSI出力波形

図2.8 高速LSIのタイミング測定結果

## 2.5 結言

LSI テスタと被テストLSIとの伝送線路の特性インピーダンスが不整合なためにLSIの出力波形がリングングすることを示した。この問題を解決するためにLSI テスタ内蔵の擬似負荷回路から伝送線路に電流を注入する手法（電流注入法）を提案した。次に、擬似負荷回路の回路シミュレーションよりリングングの抑制を予測した。また、本手法を実際のLSIに適用して高速テスト（150MHz動作）を実現した。本手法はDUTボード上にインピーダンス終端用の抵抗の搭載が不要であり、テストプログラムで被テストLSIとテスタ接続が可能のため、今後の高速動作LSIの高精度タイミング測定に有効な方法である。



### 第3章 狭隘ボンディングパッドに対する プロービングの容易化

#### 3.1 緒言

VLSIメモリのテストの生産効率を向上するためにウェーハテスト工程並びにパッケージテスト工程において複数個のLSIを同時にテストする。それらを実現するためにLSIテスタ<sup>(3-1)</sup>、パッケージハンドラー、ウェーハプローバなどのテスト設備は複数個対応の機能拡張が行われている。ウェーハテスト工程ではウェーハ内のLSIメモリの複数個を一括同時にプロービング（ボンディングパッドへの接触）を実施する。この時に多数のプローブ針を搭載したプローブカード<sup>(3-2)</sup>が必要となる。また、チップサイズの縮小化を一段と進め、生産性を高めるにはチップ内のボンディングパッド（パッド）に対しそのサイズの縮小化<sup>(3-3)</sup>と狭ピッチ化が有効である。従って、今後はパッドのプロービングに利用されるプローブカードは多ピン化および狭ピッチ化への対応がますます重要になっている。これらの要求に答えるべく、新構造のプローブカードの試作が報告<sup>(3-4)~(3-7)</sup>されているが、耐久性、電気的特性などの詳細なデータが不十分なため、まだ実際のLSIに全面的に適用されるに至っていない。

本章では、現状のプローブ針の性能限界の要因を明らかにすると共に狭ピッチ・多ピン対応を目的とした新構造のプローブカードを提案し、その有効性を各種実験データより明らかにする。

#### 3.2 狭隘パッドに対するプロービングの限界

現状のプローブカードは後述する接触抵抗値やプローブ針の耐久性に問題<sup>(3-8)</sup>があり、パッドピッチは100 $\mu$ m以上が必要であり、パッド数（ピン数）は約300本以下が適用範囲<sup>(3-9)</sup>となっている。ところで、ワイヤーボンディング技術は80 $\mu$ m程度までのパッドピッチに対応が可能と予測されており、今後はプロービングの技術開発がチップ面積縮小化に対し重要課題となってくる。



本節では、 $75\mu\text{m}$ パッドピッチ、 $500$ パッドを対象として狭ピッチ・多ピンに対しての現状プローブ針の性能限界を調査し、その要因を明らかにする。

図3. 1はLSIメモリのウェーハテスト状態におけるLSI内のボンディングパッドと2段構造のプローブ針をエポキシ基板に装着して構成した従来構造のプローブカードを示す。図3. 2はプロービング（タッチダウン）時のプローブ針とパッドの拡大図である。図中の $P$ はパッドピッチ、 $L$ はプローブ針のテーパー長、 $d$ は隣接プローブ針間隔、 $\Phi_1$ はプローブ針の直径である。

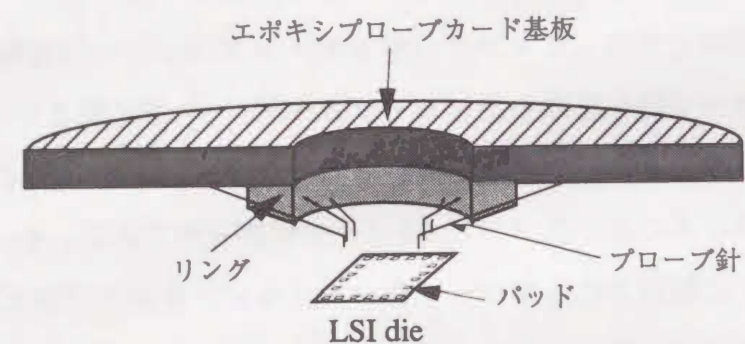


図3. 1 従来構造のプローブカードによるウェーハテスト

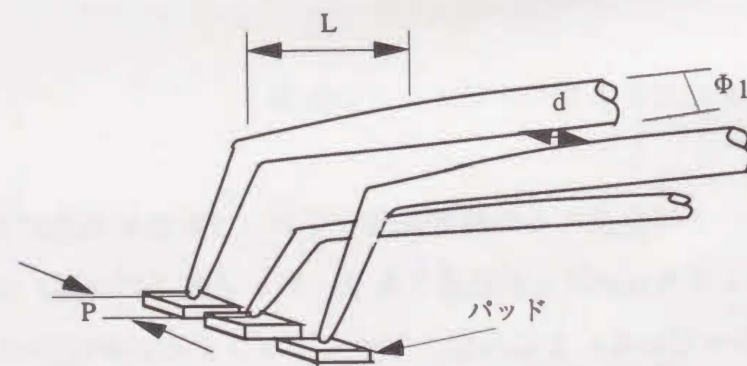


図3. 2 プロービング状態のプローブ針

ここで、チップを正方形とした場合のプローブ針の総本数 $N_w$ は式(3. 1)で与えられる<sup>(3-10)</sup>。

$$N_w = \frac{2 \times 4 \times 90}{\tan^{-1} \frac{\Phi_1 + d - 2 \times p}{L}} \quad (3. 1)$$

図3. 3は $75\mu\text{m}$ ピッチを想定した場合の $\Phi_1$ 、 $L$ をパラメータとしたプローブ針のパッドへの接触（タッチダウン）回数と接触抵抗値を示す。各パラメータの条件は表3. 1に示す。針仕様Aは現状のプローブ針であり、3万回のタッチダウン回数時においても接触抵抗値は約 $0.5\Omega$ とほとんど変動していないが、狭ピッチ・多ピン仕様Bは $5 \sim 8\Omega$ に増加している。接触抵抗値の変動や増加は測定データを不正確とし、テスト結果の信憑性がなくなる。また、パッドとの接触を確実にするためにプローブ針をパッドに強く押し当てる場合があるが針先がパッド領域外部に移動したり、隣接プローブ針と接触するなどウェーハテストの実施が全く不可能となる。

ところで、LSIメモリのプロービングにおける信号測定の精度を保証するためには接触抵抗値は $0.5\Omega$ 以下が必要であり、またテスト装置ならびに治具の安定稼働の確保にはプローブ針は2～3万回以上の接触後において変形のないことが要求される。

図3. 4はプローブ針のテーパー長が $3000\mu\text{m}$ におけるプローブ針の直径 $\Phi_1$ と針の接触圧並びにパッドとプローブ針との接触抵抗の実測データを示す。多ピン化に対しプローブ針の数を増加するためには式(3. 1)より $L$ の増大または $\Phi_1$ の縮小が考えられるが、図3. 3並びに図3. 4より従来のプローブ針を狭ピッチ・多ピン化に適用することは接触抵抗の増加や耐久性の劣化などの問題から困難である。

狭ピッチ・多ピンに対する従来のプローブカードの技術的限界とその要因を各種のデータおよび実験結果より明らかにした。次節では、狭ピッチ・多ピンのプロービングを容易とする新構造を有したプローブカードの試作結果について述べる。



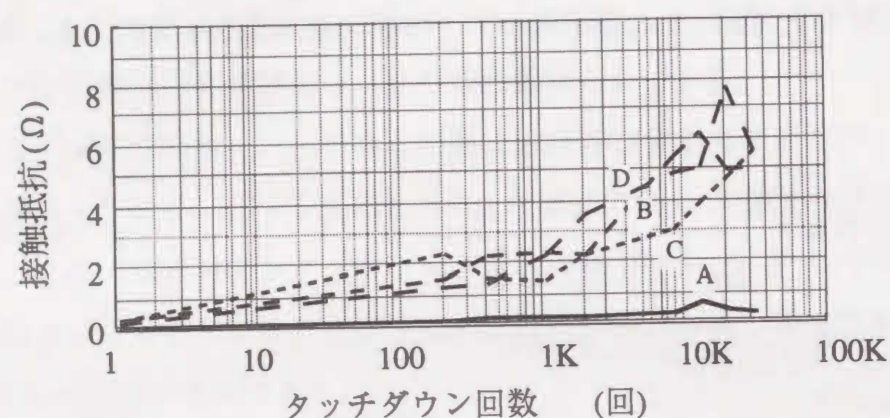


図3.3 タッチダウン回数と接触抵抗

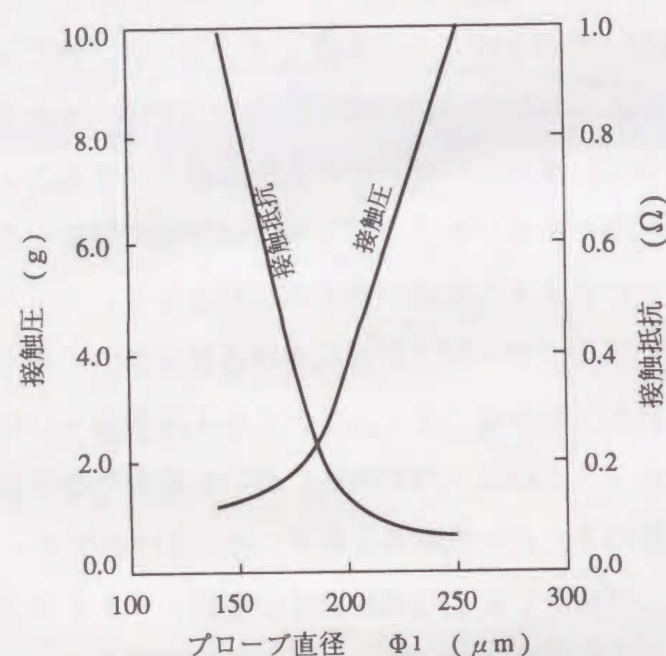


図3.4 プローブ直径に対する接触圧と接触抵抗の関係

表3.1 プローブ針仕様とパラメータ値

針の仕様タイプ	A	B	C	D
針立て可能本数 Nw	269	502	558	670
テーパ長 L (μm)	3000	3000	4000	4000
プローブ径 Φ1 (μm)	250	185	200	185

### 3.3 新構造プローブカードの試作<sup>(3-12)</sup>

狭隘パッド対応のプローブカードはパッドとの接触用電極部の微細化が必要である。本節では、感光性ガラスは半導体製造プロセス工程と同一手法により微細加工が可能であることに着目し、狭ピッチ・多ピン化対応のプローブカードを提案する。図3.5は感光性ガラスを用いて試作したガラスプローブカードの全景を示し、図3.6はその断面構造である。本提案によるプローブカードは感光性ガラスを写真製版法と選択エッチング法によりガラス表面を微細加工して凹凸およびスルーホールを形成し、その加工表面部に導電性金属を蒸着法またはメッキ法により選択的領域に配線パターンを施した。本プローブカードはプローブガラス基板部、強度補強部そして一体構造化のためのエポキシ基板部で構成した。プローブガラス基板部は厚み0.2mmの感光性ガラス基板上に接触用電極を正方形領域に480個配置した。図3.7は電極部分のSEM像を示す。電極部分(図3.6中A)の直径は50μmの円柱形状であり、電極ピッチは80μmである。各電極柱の高さは50μmであり、全電極相互の高さ変動幅は高精度な微細加工技術を用いたので±3~5μm以内となり、極めて均一な高さ精度が得られた。また、電極柱部分はプローブガラス基板内のスルーホール領域に円柱状に形成されており、裏面側の配線パターンと接合している。図に示す電極柱とプローブガラス基板裏面上に施した配線パターン材質はNi(ニッケル)を採用し、その上部には酸化の防止並びに低抵抗化のため金メッキを施した。ところで、従来のプローブ針の材質は電気的特性、摩耗性、耐久性、製造コストなどの総合的判断よりタングステン材が広く使用されている。本電極柱に使用したNiとタングステンの硬度をブリネル硬度で比較するとNiは505(換算値)、タングステンは341~441(換算値)となり、Niのほうが硬い。従って、プロービング時の接触による摩耗性、耐久性に対してはNiが有利と考えられる。

テストと接続するエポキシ基板と電氣的接続を行うために設けたスルーホール(図3.6中B)の直径は400μmである。A, B間の配線抵抗を小さくするためスルーホールA, B間のパターン配線長は3.2cmとし、パターン幅はBの部分は1mm, Aの電極柱部は60μmと徐々に細くした。プローブガラス基板部分とエポキシ基板の電氣的接続は直径300μmの銅線を半田付け構造とした。



更に、プローピング時にプローブカード全体に圧力が生じるため薄いプローブガラス板の破損保護のためプローブガラス板とエポキシ基板の間に透明ガラス板（2.5mm）をボンド接着して挿入し、機械的強度を高めると共にプローブカード上部から被テストウェーハの目視観察を可能とした。

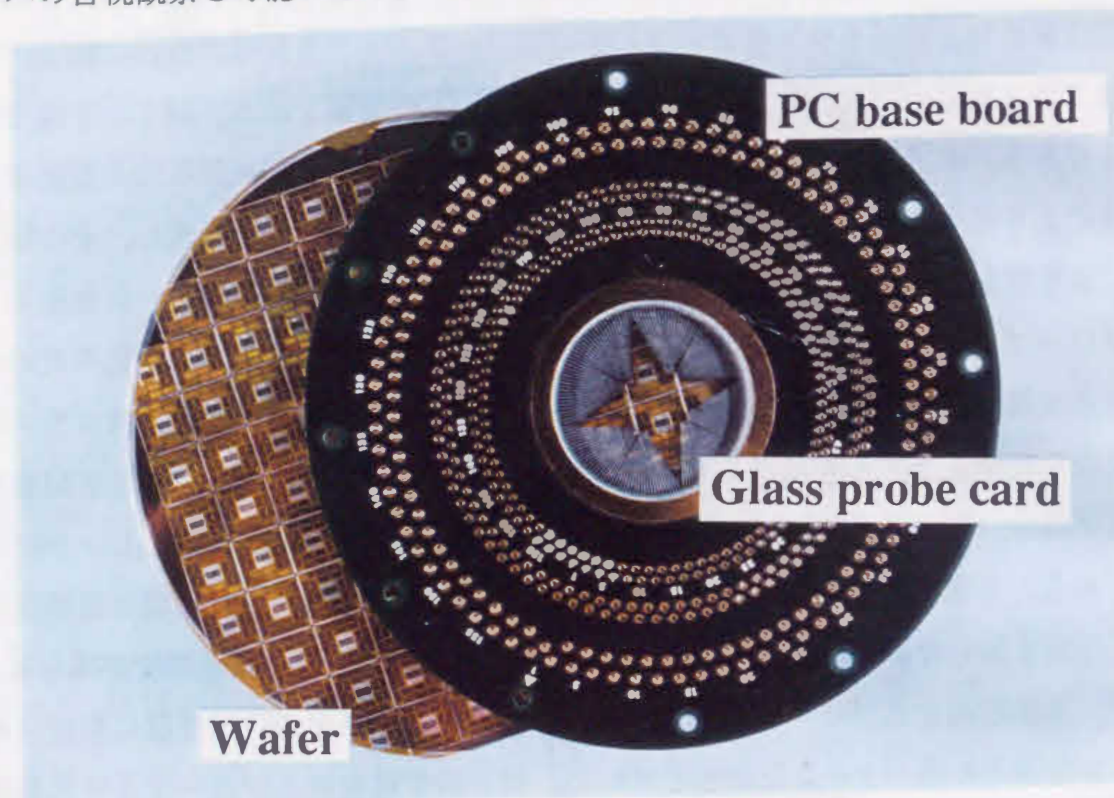


図3.5 ガラスプローブカードの全景

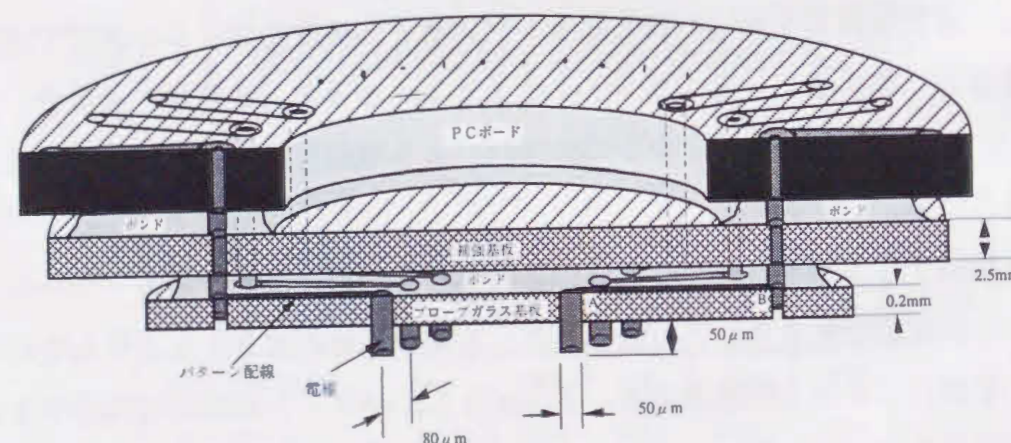


図3.6 ガラスプローブカードの断面構造

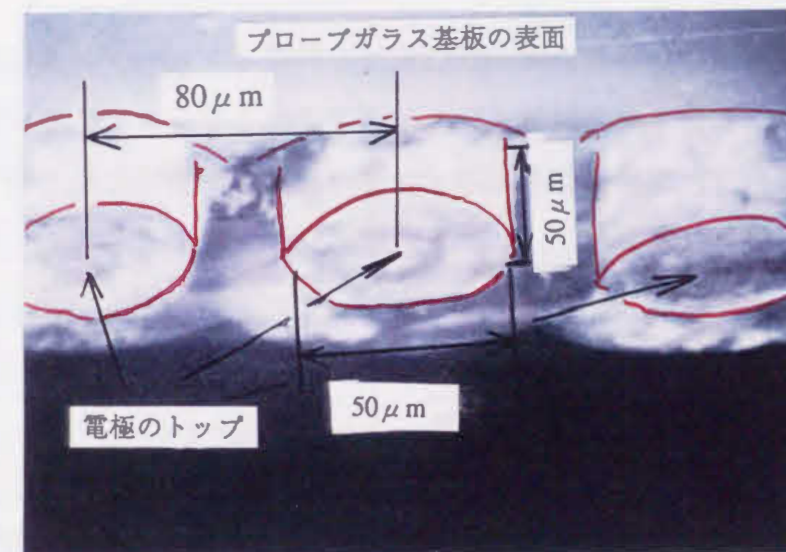


図3.7 電極部のSEM像

### 3.4 VLSIへの適用

本節では、試作したガラスプローブカードの各種特性データを実験より求め、VLSIへの適用を検討する。データに関してはプローピングに対し重要な電気的特性と機械的特性について述べる。

#### 3.4.1 電気的特性

図3.8はガラスプローブカード基板に施した配線パターンに対しその配線容量、配線インダクタンスならびに特性インピーダンスの各電気的特性を示す。実際のウェーハテストと同等な実施環境として測定時の周波数帯域は5MHz～95MHzとした。容量とインダクタンスはインピーダンスアナライザ、特性インピーダンスはネットワークアナライザを用いて測定を実施した。その結果、容量は4pF、インダクタンスは20nHを得た。これらの値は従来のプローブ針式によるプローブカードとはほぼ同等値である。一方、従来方式のプローブカードの特性インピーダンスは104Ωであるが、新構造方式では64Ωと低い値を得た。これは配線の製造は蒸着法とメッキ法を用いたため配線膜厚や配線長が均一となり、伝送線路の不連続性が無くなったと考えられる。更に、実



際にウェーハテストで利用されるテストの伝送線路の特性インピーダンスは50Ω系であり、LSIの出力インピーダンスは低インピーダンス化となるので、本プローブカードを使用したウェーハテストでは伝送線路のインピーダンスが整合し易くなり、高測定精度のテストが実施可能となる。

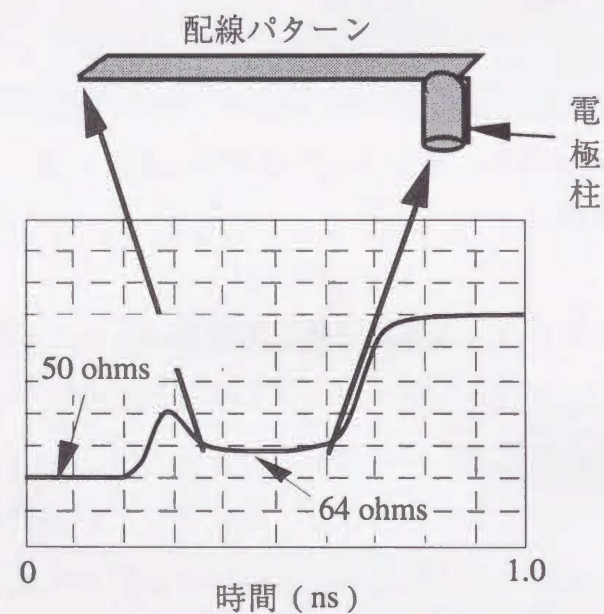
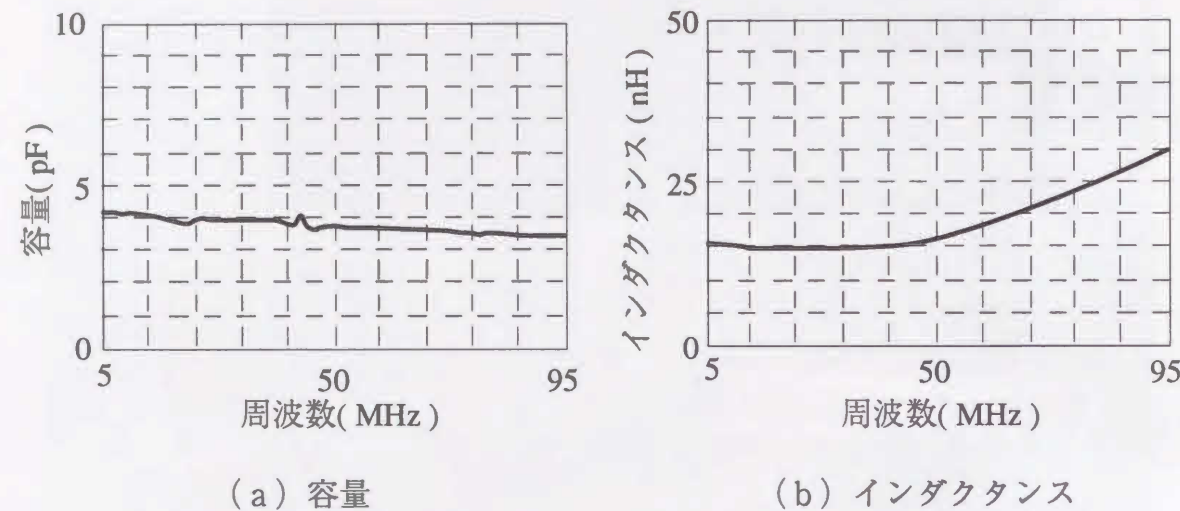


図3.8 ガラスプローブカードの各電気的特性

### 3.4.2 機械的特性

ガラスプローブカードの中心に集中荷重Pがかかる場合の円盤のたわみWは次式で与えられる<sup>(3-11)</sup>。

$$W = -\frac{P}{16\pi D} \cdot \frac{3+\nu}{1+\nu} \cdot a^2 \quad (3.2)$$

ここで各パラメータは以下である。

W：たわみ

P：中心荷重

$\nu$ ：ポアソン比

a：中心から支点までの距離

D：板の曲げ構成 ( $E \cdot I$ )

E：ヤング率, I：断面二次モーメント

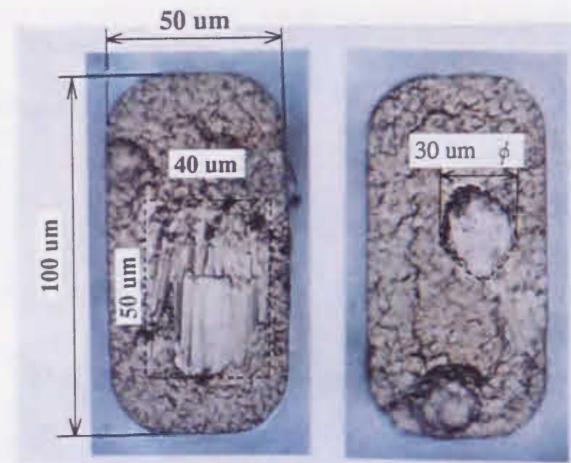
式(3.2)よりガラスプローブカード基板上の1つの電極柱に3gの圧力を加えた場合、500ピンで1.5Kgとなる。ここで、直径6.4cmのガラスプローブカード基板の中心に集中荷重を想定すると荷重方向に対する変位は1.2μmとなる。この変位量はプロービング時のガラスプローブカード基板変形はほとんど無視できる程度であり、電極柱先端のパッドへの位置ずれも発生しないと考えられる。また、ガラスプローブ上の電極柱は写真製版技術より1cm当たり10μmの製造精度であり、パッドに対する位置ずれは数μm以下の範囲となり、ガラスプローブの変形量および製造精度より、本プローブカードのパッドへのアライメント精度に対し問題はないと判断できる。

図3.9は接触抵抗値が同一となる条件下でプローブカードをパッドに接触した後のパッド損傷状態を示す。左側は従来のプローブ針、右側はガラスプローブカードによる痕跡をそれぞれ示す。従来プローブ針は表3.1中の仕様Dとした。図よりプローブ針による接触痕跡は40μm×50μmとなり、Ni電極柱は30μmφである。従って、プロービング対象に必要なパッド面積は従来の約3分の1となり、パッド面積の



縮小化に対応可能となる。

また、パッドの機械的損傷はパッケージに封止する際に行われるワイヤーボンディングの作業性を低下させ、更にパッド直下のシリコン部まで損傷が著しく及んでいる場合にはパッドへのボンディングが不可能となったり、経時変化によるワイヤー剥がれが発生する恐れがある。従って、本ガラスプローブカードによるボンディング工程への悪影響ならびにパッドに対する信頼性の劣化はないと予測される。



従来プローブ針 ガラスプローブ

図3.9 パッドの損傷状態

### 3.5 結言

本章では、狭隘パッドに対し現状のプローブカードの限界とその要因を調査した。その結果、プローブ針はその機械的構造より針径とプロービングに必要な針圧の関係より狭隘パッドへの対応はウェーハテストの不安定な作業ならびに不正確なテスト結果を招くことを明らかにした。そこで狭ピッチ・多ピン化への対応の新構造のプローブカードを試作し、基本特性並びに各種の実験を実施した。実験結果より、機械的・電気的特性は従来プローブ針と同等または優れたデータが得られた。更に、狭隘パッドに対し本構造によるプローブカードを実際に試使用することにより、パッド面積ならびにパッドピッチの縮小化に対応可能なことを確認した。

## 第4章 大規模内蔵メモリのテスト時間短縮法

### 4.1 緒言

微細加工技術と設計技術の発展によりLSIの高集積化と高機能化が飛躍的に進められ、マイクロプロセッサやゲートアレーなどのLSIロジックに大規模なメモリが内蔵されるようになってきた<sup>(4-1)~(4-3)</sup>。メモリのビット容量の大規模化はテスト時間の増大を引き起こし、深刻なテストの問題となっているが、シングルチップメモリを対象としたテスト時間短縮化法の研究報告<sup>(4-4)~(4-7)</sup>はなされているが、内蔵メモリに対してはほとんど報告されいないのが現状である。今後はLSIが複合化、システム・オン・チップ化となるに従って、内蔵メモリに対するテスト時間短縮化は重要な研究テーマである。

本章では、テストサイクル数を削減するために、擬似乱数発生回路で構成するメモリに対するテスト回路を提案し、その削減効果を明らかにする。

次に、テストベクタ記述法によるベクタ容量を明確にし、テスト内部のテストベクタ容量とテストベクタ記述容量の関係より、テスト回路を用いた内蔵メモリのテスト時間をマーチベクタと擬似ランダムベクタについて検討する。

### 4.2 擬似乱数発生器で構成するテスト回路のテストサイクル数の削減

#### 4.2.1 擬似乱数発生器によるテスト回路

図4.1に全周期系列を発生するLFSR（リニアフィードバックシフトレジスタ）で構成する擬似乱数発生器を示す。図中のF/Fはクロックパルスで駆動されるD型フリップ・フロップである。クロックパルスを印加する毎に全周期系列が更新し、表4.1に示すデータ系列（全周期系列）となる。ここでデータ系列内の任意に連続した4ビットの2進数表現をA(i)で示す。A(i)の値はすべて異なり、クロックパルスを順次印加する事でA(i)=0からA(i)=15までの値をランダムにすべて発生でき、2<sup>4</sup>通りのアドレスデータとして利用できる。



従って、 $2^n$ 個（本例では $n=4$ ）の全周期系列（擬似乱数データ）によるメモリアドレスの設定は最初のみ $n$ 回のクロックパルス印加が必要であり、以降はクロックパルスを1回印加することでアドレスが更新できるので全アドレスの設定は $n + (2^n - 1)$ 回のクロックパルスで実現する。

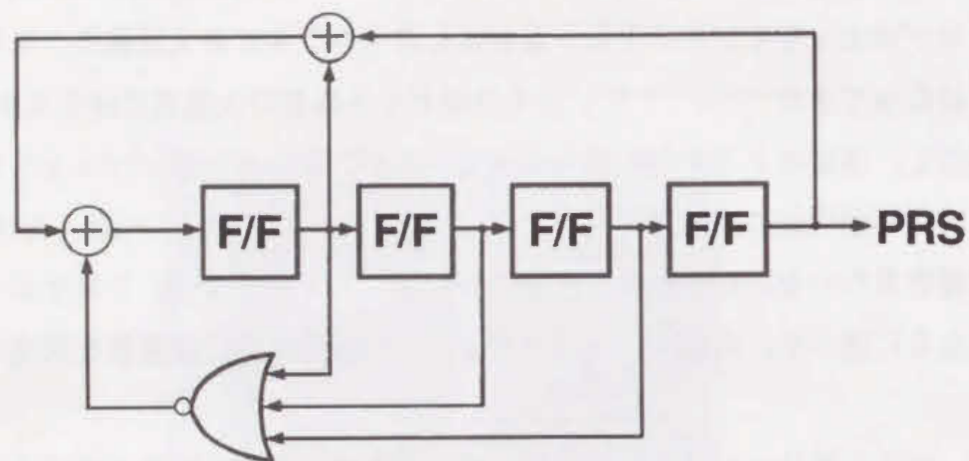


図4.1 擬似乱数発生器

表4.1 全周期系列

0001001101011110000	A(i)
0000	0
1000	8
1100	12
1110	14
1111	15
0111	7
1011	11
0101	5
1010	10
1101	13
0110	6
0011	3
1001	9
0100	4
0010	2
0001	1

図4.2に $2^4$ ワード×4ビット構成のメモリ（ $n=4$ ， $m=4$ ）に対し、上述した乱数発生器で構成したテスト回路を示す。本テスト回路はメモリのアドレス部，データ入力部，データ出力部にそれぞれスキャンパスシフトレジスタ（A-SR，D-SR，O-SR）を接続した構成であり，テスト端子は以下の8本である。尚，アドレスデコーダ部はメモリの一部としたので図には示していない。

TE：テストイネーブル端子

AE：アドレスイネーブル端子

DE：データイネーブル端子

ISC：A-SRとD-SRのシフトクロック入力端子

ADD：アドレス入力端子

DIN：書き込みデータ入力端子

OSC：O-SRのシフトクロック入力端子

OUT：O-SRからの出力端子

以下，本章で述べるメモリ構成は $2^n \times m$ （ $2^n$ ワード× $m$ ビット）として取り扱う。

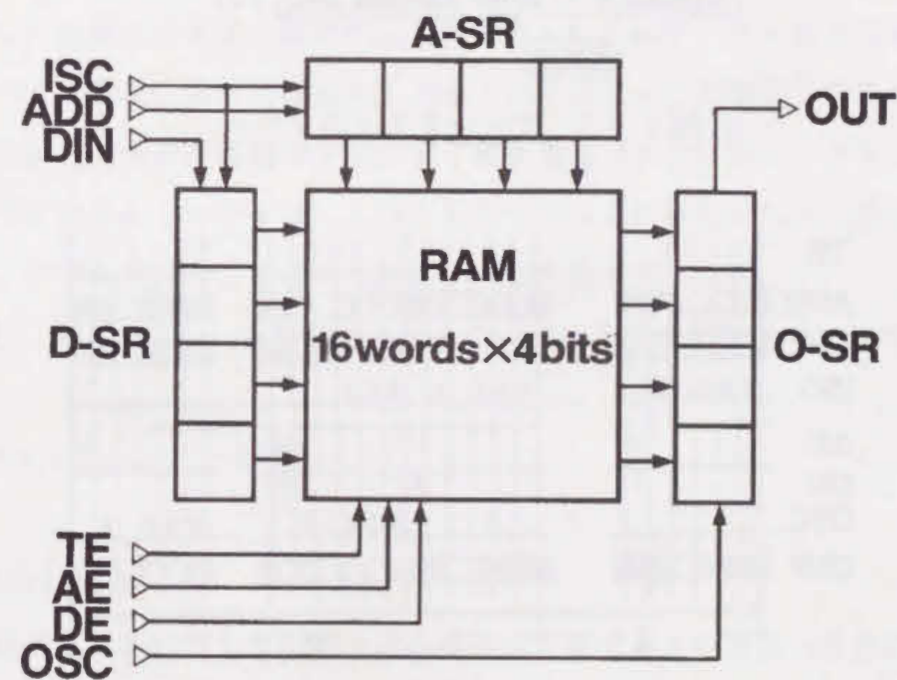


図4.2 内蔵メモリのテスト回路



#### 4. 2. 2 テストサイクル数の削減

本節では、マーチテストと擬似乱数のテストサイクル数(Nc)について述べる。  
まず、マーチテストについてテストサイクル数を検討する。図4. 3に一般的なマーチテストのフローを示す。マーチテストはメモリのデータ書き込み/読み出し機能の確認とアドレスデコーダの選択不良やメモリセルの固定故障を検出するものであり、テスト手順が簡単で、故障検出能力が比較的高いのでよく利用されている。図4. 4にマーチテスト時の各テスト端子に対する入出力関係のテストサイクルを示す。テスト時はTEが常にLOW固定(テストモード)であり、内蔵メモリ部が機能的にロジック部と分離した状態となる。

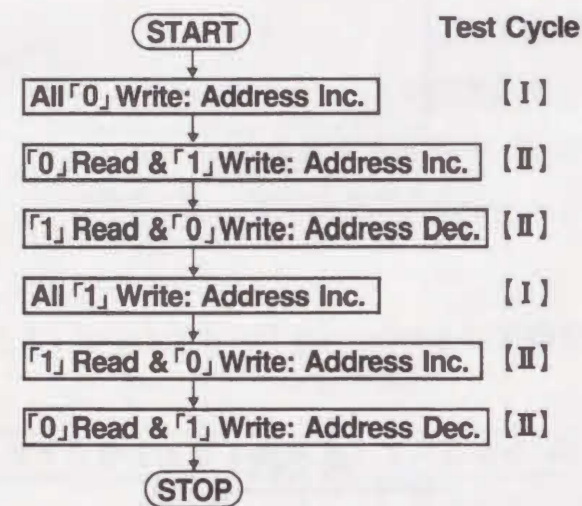


図4. 3 マーチテストのフロー

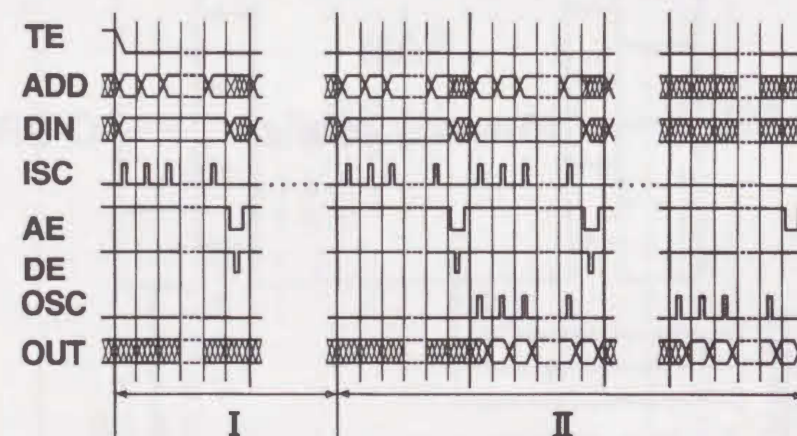


図4. 4 マーチベクタテストサイクル数

次にデータ書き込みと読み出し操作について述べる。

##### ライト操作【I】

ADD, IS, DINの印加よりA-SRとD-SRにアドレスと書き込みデータがそれぞれ格納され、AEとDEを印加してメモリにデータを書き込む。ライト時のテストサイクル数は最初のアドレス指定時にA-SR, D-SRにアドレスと書き込みデータを格納するためにmまたはnの大きい値で規定され、 $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。以降は書き込みデータが各ビットで同一のためnの値で規定され、 $n+1$ となる。従って、全メモリセルのライト操作に必要なテストサイクル数は $m \geq n$ では $(m+1)+(n+1)(2^n-1)$ となり、 $m < n$ では $2^n(n+1)$ となる。

##### リード/ライト操作【II】

ADD, ISCを印加してA-SRに読み出しセルのアドレスを格納し、AEを印加してO-SRに読み出しデータを格納する。同時にDINを印加し、D-SRに反転データ(裏データ)を格納し、DEを印加して、再度同一セルに反転データを書き込む。この操作はライト操作と同一でありテストサイクル数は、 $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。

次に、OSCにm回のクロックを印加してOUT端子にシフトアウトされた出力データを期待値と比較する。同時にアドレスデータ、反転データをそれぞれA-SR, D-SRに格納し、AEとDEを1回印加して同一セルに反転データを書き込む。ここまでのテストサイクル数は $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。このリード/ライト操作をアドレスデータを最終アドレスまで順次更新(アドレスインクリメント)した後、最終アドレスからリード/ライト操作を全アドレスに対して行う(アドレスデクリメント)。アドレスインクリメント時はアドレス数が

$2^n-1$ であり、デクリメント時は $2^n$ である。この操作に必要なテストサイクル数は、 $m \geq n$ では

$$(m+1)(2^n-1)(m+1)2^n \text{ となり,}$$

$m < n$ では

$$(n+1)(2^n-1)(n+1)2^n$$

となる。最終アドレスに対しては書き込み操作は不要であるのでO-SRに格納されている読み出しデータを、OSCにクロックを印加してシフトアウトして期待値と比較す



る。この操作に必要なテストサイクル数は、 $m, n$ の大小にかかわらず $m+1$ となる。従って、リード／ライト操作に必要な全テストサイクル数は、

$$m \geq n \text{ では } (m+1) + (m+1)(2^n-1) + (m+1)2^n + (m+1) = (2^{n+1}+1)(m+1) \text{ となり,}$$

$$m < n \text{ では } (n+1) + (n+1)(2^n-1) + (n+1)2^n + (m+1) = 2^{n+1}(n+1) + (m+1) \text{ となる。}$$

以上のライト操作【I】とリード／ライト操作【II】をデータ「1」とデータ「0」に対してそれぞれ行うので、マーチテストの全テストサイクル数( $N_{cm}$ )は以下となる。

$$N_{cm} = 2 \text{ (ライト操作【I】のテストサイクル数+リード／ライト操作【II】のテストサイクル数)}$$

従って、 $m, n$ の大小関係より $N_{cm}$ は次式となる。

[ $m \geq n$  のとき]

$$N_{cm} = 2\{(2^{n+1}+2)(m+1) + (2^n-1)(n+1)\} \quad (4.1)$$

[ $m < n$  のとき]

$$N_{cm} = 2\{(2^{n+1}+2^n)(n+1) + (m+1)\} \quad (4.2)$$

次に、擬似乱数を使用した場合のテストサイクル数について述べる。

アドレス更新は最初のアドレス指定時にA-SRとD-SRへのデータ設定のため $n$ または $m$ 回のADD, ISC, DINクロックの入力が必要であるが、以降のアドレス更新はISC, ADDを1回印加して実現する。図4.5にその時のテストサイクルを示す。

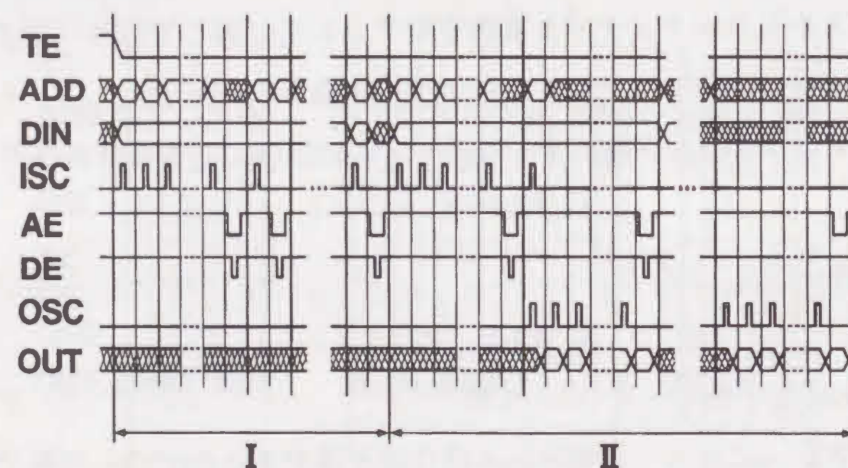


図4.5 擬似乱数テストサイクル数

### ライト操作【I】

ADD, ISC, DINを印加してA-SRとD-SRにアドレスと書き込みデータがそれぞれ格納され、AEとDEを同時に印加してRAMにデータを書き込む。ライト時のテストサイクル数は最初のアドレス指定時にA-SR, D-SRにアドレスと書き込みデータを格納するために $m$ または $n$ の大きい値で規定され、 $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。

以降はADDとISCを同時に1回印加することでアドレスが更新する。そして書き込みデータは各ビット同一であるため $m, n$ にかかわらずDEを一回印加して完了する。このテストサイクル数は2であり、2回目以後のアドレス更新数は $2^n-1$ となるので、必要なテストサイクル数は $2(2^n-1)$ となる。

従って、全メモリセルのライト操作に要するテストサイクル数は $m \geq n$ では

$$(m+1) + 2(2^n-1) = 2^{n+1} + m - 1$$

となり、 $m < n$ では

$$(n+1) + 2(2^n-1) = 2^{n+1} + n - 1$$

となる。

### リード／ライト操作【II】

ADD, ISCを印加してA-SRに読み出しセルのアドレスを格納しAEを印加し、O-SRに読み出しデータを格納する。同時にDINに印加しD-SRに反転データを書き込む。この操作はライト操作と同一でありテストサイクル数は $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。

次にOSCに $m$ 回クロックを印加して、OUT端子にシフトアウトされた出力データを期待値と比較する。同時に次のアドレスデータと反転（裏）データを印加する。アドレスはADDとISCを同時に1回だけ印加することで更新するので、テストサイクル数はOSCのクロック印加回数( $m$ )にアドレス更新時の1サイクルを加えた $m+1$ となる。この操作を2回目以後のアドレスを更新しながら最終アドレスまで行。この操作のテストサイクル数は、 $m, n$ の大小にかかわらず $(m+1)(2^n-1)$ となる。

次に書き込みデータを反転して前述と同様の操作を行う。このときD-SRに新たに反転（裏）データを格納するとともに、アドレスデータもA-SRに再度格納する。この操作のテストサイクル数は $m \geq n$ では $m+1$ ,  $m < n$ では $n+1$ となる。以後OSC



に $m$ 回クロックを印加し、OUT端子にシフトアウトされた出力データを期待値と比較する。この操作をアドレスを更新しながら最終アドレスまで行う。この操作のテストサイクル数は $(m+1)(2^n-1)$ となる。

最終アドレスに対しては前記と同様に読み出し操作のみで完了できるのでテストサイクル数は、 $n$ の大小にかかわらず $m+1$ となる。従って、リード／ライト操作【II】に必要な全テストサイクル数は、 $m \geq n$ では

$$(m+1)+(m+1)(2^n-1)+(m+1)+(m+1)(2^n-1)+(m+1)=(2^{n+1}+1)(m+1)$$

となり、 $m < n$ では

$$(n+1)+(m+1)(2^n-1)+(n+1)+(m+1)(2^n-1)+(m+1) \\ = (2^{n+1}-1)(m+1)+2(n+1)$$

となる。

以上のライト操作【I】とリード／ライト操作【II】をデータ「1」とデータ「0」に対してそれぞれ行うので、擬似乱数の全テストサイクル数( $N_{cp}$ )は以下となる。

$N_{cp}=2$  (ライト操作【I】のテストサイクル数+リード／ライト操作【II】のテストサイクル数)

従って、 $m$ 、 $n$ の大小関係より $N_{cp}$ は次式となる。

$$[m \geq n \text{ のとき}] \quad N_{cp} = 2\{2^{n+1}(m+2)+2m\} \quad (4.3)$$

$$[m < n \text{ のとき}] \quad N_{cp} = 2\{2^{n+1}(m+2)+3n-m\} \quad (4.4)$$

次にマーチベクタと擬似乱数のテストサイクル数の比較を図4.6に示す。図中の縦軸はテストサイクル率( $T_c$ )を横軸はメモリのワード数を表わす。

ここで、テストサイクル率( $T_c$ )は以下の定義とする。

$$T_c = N_{cp} / N_{cm} \quad (4.5)$$

$N_{cp}$ ：擬似乱数ベクタのテストサイクル数

$N_{cm}$ ：マーチベクタのテストサイクル数

図4.6より擬似乱数のテストサイクル数は必ずマーチベクタより少なくなることが判明し、特に $n$ が大きく、即ちメモリがより大規模な程、テストサイクル数はマーチベクタに比べ削減することが明らかである。

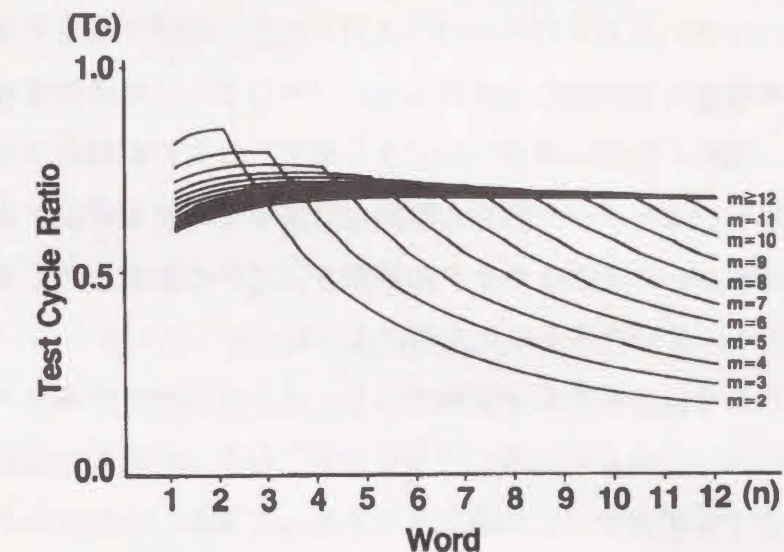


図4.6 マーチベクタと擬似乱数ベクタとのテストサイクル率

#### 4.3 テストベクタ容量の削減化

テストで用いるテストベクタはソーステストベクタとオブジェクトテストベクタの2種類ある。ソーステストベクタはテストの専用言語で記述されるASCIIファイルである。オブジェクトテストベクタとはテストのハードウェア(ベクタメモリ)が実行できるようにソーステストベクタをテスト専用の機械語に変換(コンパイル)したものである。これらのテストベクタに関し、その容量の削減化はテストリソース規模が小型となり、テストコストの低減が可能となる。また、テストベクタはテスト内部の各種ハードウェア間を転送して運用されるため、転送時間に影響し、後述するテスト実行時間の短縮化に対しベクタを削減することは効果的である。

まず、テスト専用言語に従って記述するソーステストベクタ容量の削減化について検討する。



#### 4. 3. 1 記述法によるソーステストベクタ容量の削減化

図4. 7にテスト専用言語によるソーステストベクタの一例を示す。ソーステストベクタはピンデータ部とベクタ制御部からなり、ピンデータ部はテストの各ピンに対する論理データ（1または0）とピンのI/O（入力/出力）状態を規定する。ベクタ制御部はピンデータ部の情報を時系列に発生するように“NOP”（無条件実行）や“LOOP”（繰り返し）、他のピンデータ部への“JUMP”などの制御命令を記述する。縦方向は記述行数を示し、ピンデータ情報や制御命令よりテストが発生するテストサイクル数である。本節ではソーステストベクタの容量を記述行の総数とし、単にテストベクタ数(Ns)といい、図4. 7のテストベクタ数は4となる。

特に、“NOP”命令は命令内容が単純であり、テストが発生するテストサイクル数とテストベクタ数は同一となる。一方、“SCAN”命令は特定ピンに対してテストに備装したピン数分まで任意なデータの組合せを連続して発生（シリアルデータ）する機能であり、特に、シフトレジスタ回路へのベクタ発生を容易としている。

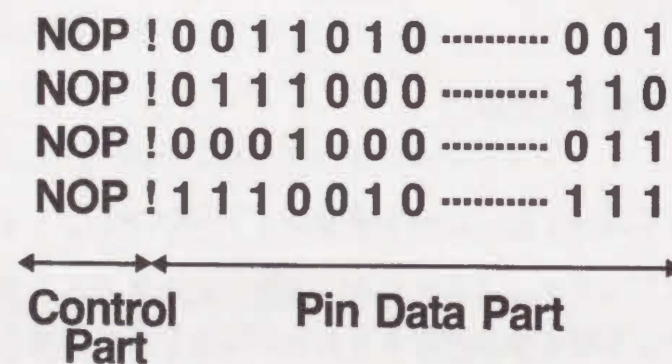


図4. 7 ソーステストベクタ記述例

図4. 8に“SCAN”命令を用いた擬似乱数ベクタのソーステストベクタ記述例を示す。本記述は図4. 5のテストサイクルを発生する内容と同一である。表示χはシリアルデータ数の設定を、\*はスキャンパスシフトレジスタの指定ピンを表わす。ライト操作【I】では1回のアドレス指定にm, nと無関係にテストベクタ数は5となり、全アドレスでは $5 \times 2^n$ となる。リード/ライト操作【II】では最初のアドレス指定時はメモリ出力をO-SRに格納するためにテストベクタ数は5となる。以降のリード/ラ

イト操作では期待値の設定と出力の比較を行い、テストベクタ数は10となる。従って、ライト操作時【I】に $5 \times 2^n$ 、リード/ライト操作時【II】に $5 + 2 \times 10 \times 2^n$ のテストベクタ数（行数）となり、データ「1」と「0」を合わせた擬似乱数ベクタの“SCAN”命令使用時の全テストベクタ数(Nssp)は次式となる。

$$Nssp = 50 \times 2^n + 10 \quad (4. 6)$$

一方、図4. 8よりテストベクタ数はmに依存せず、マーチベクタ時のテストベクタ数(Nssm)も $50 \times 2^n + 10$ となり、“SCAN”命令使用時のマーチベクタと擬似乱数ベクタのテストベクタ数は同一(Nssp=Nssm)となる。

尚、“NOP”命令使用時は前述したようにテストベクタ数はテストサイクル数と同等である。

$$Nsnm = Ncm \quad (4. 7)$$

$$Nsnp = Ncp \quad (4. 8)$$

Nsnm : “NOP”使用時のマーチベクタ数

Nsnp : “NOP”使用時の擬似乱数ベクタ数

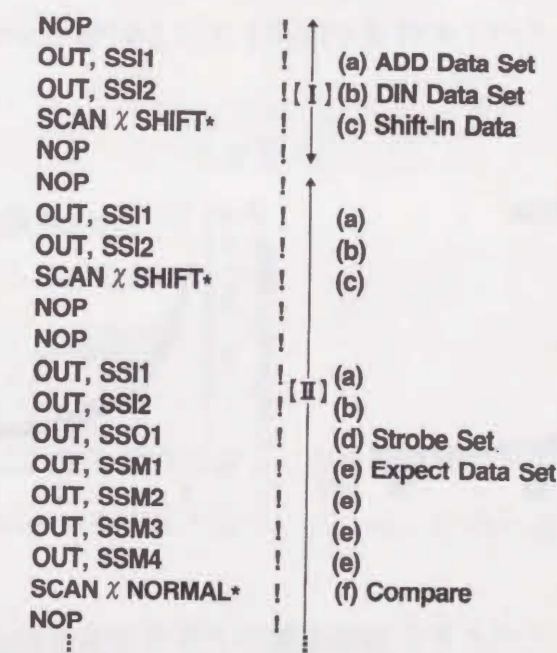


図4. 8 “SCAN”命令によるソーステストベクタ記述例



次に，“NOP”と“SCAN”命令利用時の両テストベクタ容量の比較を新たに定義するテストサイクル圧縮率(Kc)より行う。

$$Kc = \text{テストベクタ数} / \text{テストサイクル数} \\ = N_s / N_c \quad (4.9)$$

Kcはマーチテストベクタと擬似乱数ベクタでそれぞれKcmとKcpに区別する。

$$K_{cm} = N_{ssm} / N_{cm} \quad (4.10)$$

$$K_{cp} = N_{ssp} / N_{cp} \quad (4.11)$$

テストサイクル圧縮率(Kc)はテストが発生する全テストサイクル数とテストベクタ数の比率を示す。Kcの値が小さい事は少ないテストベクタ数で多くのテストサイクル数を発生し、テストのベクタメモリの利用効率が良い事を意味する。

図4.9はメモリのビット数とワード数を変化させた時のテストサイクル圧縮率(Kc)を示し、図中の上部はマーチベクタのテストサイクル圧縮率(Kcm)を示し、下部は擬似乱数ベクタのテストサイクル圧縮率(Kcp)を示す。

図より、いずれのベクタにおいても対象メモリが大規模の場合は“SCAN”記述が“NOP”記述よりもソースベクタ容量が削減することが明らかである。

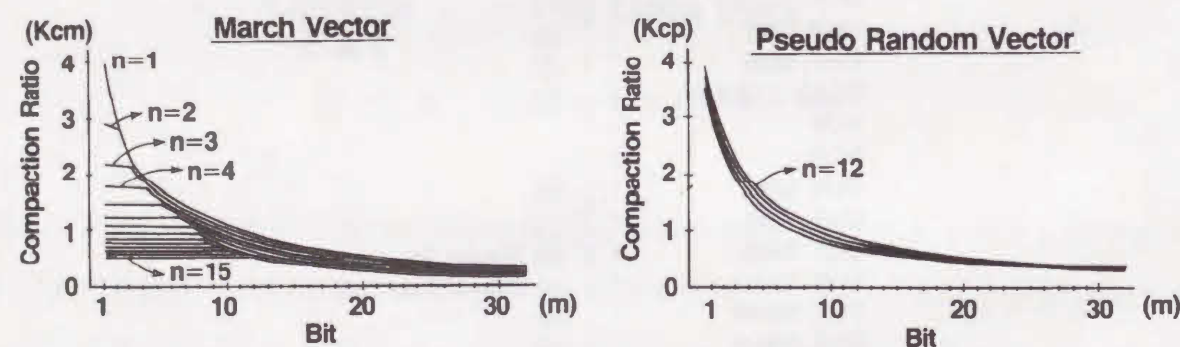


図4.9 マーチベクタと擬似乱数ベクタのテストサイクル圧縮率

#### 4.3.2 オブジェクトによるテストベクタ容量の削減化

オブジェクトテストベクタとはソーステストベクタをテスト内のベクタメモリに格納できるようにテストの内部コードに変換したものである。図4.10にオブジェクトテストベクタの構成を示す。Pin Data部のビット長はテストに装備したピン数と同数であるが制御命令は多種類あり、Cont. Data部の大きさはテストの種類によって異なる。

一方、ソーステストベクタのテストピンの論理データが以前と同一時にはオブジェクトテストベクタに変換する際に改めて同一論理データの情報を生成しない処理が行われ、オブジェクト容量が削減する。これはテストベクタをオブジェクトに変換する容量を圧縮することになり、生成されるオブジェクトテストベクタ容量が小さくなり、テスト内部のベクタ格納メモリの利用効率が高くなる。

図4.11に8ピン単位でオブジェクトテストベクタを圧縮する例を示す。斜線を施した部分のみがオブジェクトテストベクタに変換される。従って、ピンデータの変化がほとんど無いソーステストベクタでは変換されたオブジェクトベクタ容量は小さくなる。一般にオブジェクトテストベクタはテストのCPUで処理されるためバイト(Byte)で表され、オブジェクトテストベクタ数は次式となる。

$$P_o = N_s \cdot L_p \cdot K_v / 8 \quad (4.12)$$

Po: オブジェクトテストベクタ数

Ns: テストベクタ数 (行数)

Lp: テスタのCPU内部コード長

Kv: テストベクタ圧縮率 (1 ≤)

ここでLpはテストのピン数と制御命令コード長の総和であり、ピン数が256、内部コード長を96とするとLp=352となり、式(4.12)は以下となる。

$$P_o = 44N_s \cdot K_v \quad (4.13)$$



実際のLSIロジックを12品種を調査したところ、Kv値は0.35~0.65の間に存在し、特にLSI内部にスキャンレジスタを有したLSSD (Level Sensitive Scan Design) 法のKv値は0.65、従来設計法のKv値は0.35近辺に分布していた。

また、LSSD法によるLSIのテストベクタは“SCAN”命令を用いており、他は“NOP”命令が主体である。次章ではテストベクタ圧縮率はそれぞれのベクタ記述に対して“SCAN”命令使用時はKvs=0.65、“NOP”命令使用時はKvn=0.35としてテスト実行時間の検討を行う。

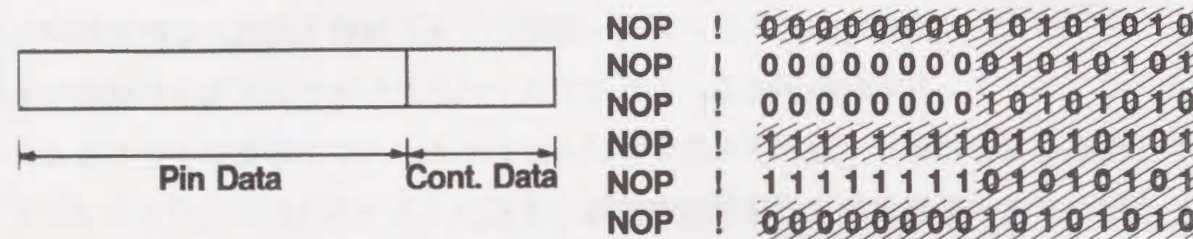


図4.10 オブジェクトテストベクタの構造

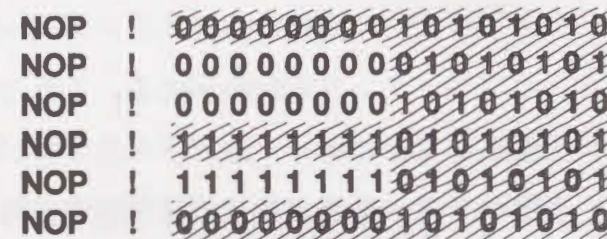


図4.11 テストベクタの圧縮法

#### 4.4 内蔵メモリに対するテスト実行時間の考察

テストが実際に動作している間のテスト実行時間は(1)テストが発生するテストサイクル数にテスト周期を乗じたテストサイクル実行時間と、(2)テストベクタがテスト内部のベクタメモリ間の転送に要するベクタ転送時間の合計である。

(1)のテストサイクル実行時間(Tate)はテストサイクル数(Nc)にテスト周期(Tprd)を乗じたものであり、(2)のベクタ転送時間(Txfr)はテスト内部のベクタ転送バスの転送速度と転送対象となるオブジェクトテストベクタ容量より得られる。従って、テスト実行時間(T)は次式となる。

$$T = Tate + Txfr = Nc \times Tprd + PO/M \quad (4.14)$$

Nc : テストサイクル数

Tprd : テスト周期

PO : オブジェクトテストベクタ容量

M : ベクタ転送速度

実際のテストではM=4.4 Mbytes/秒であり、式(4.14)に式(4.9)と式(4.13)を代入して次式を得る。

$$T = (Tprd + 10 \mu s \cdot Kc \cdot Kv) \cdot Nc \quad (4.15)$$

以上より、マーチベクタと擬似乱数ベクタの各々について“NOP”と“SCAN”命令記述を使用した場合の4条件でのテスト実行時間はそれぞれ次式となる。

ただし、“NOP”命令記述時ではNs=Ncであるので常にKc=1 (Kcm=1またはKcp=1)である。

(A) マーチベクタで“NOP”命令記述使用時のテスト実行時間：Tmn

$$\begin{aligned} Tmn &= (Tprd + 10 \mu s \cdot Kcm \cdot Kvn) \cdot Ncm \\ &= (Tprd + 10 \mu s \cdot Kvn) \cdot Ncm \end{aligned} \quad (4.16)$$

(B) マーチベクタで“SCAN”命令記述使用時のテスト実行時間：Tms

$$Tms = (Tprd + 10 \mu s \cdot Kcm \cdot Kvs) \cdot Ncm \quad (4.17)$$

(C) 擬似乱数ベクタで“NOP”命令記述使用時のテスト実行時間：Tpn

$$\begin{aligned} Tpn &= (Tprd + 10 \mu s \cdot Kcp \cdot Kvn) \cdot Ncp \\ &= (Tprd + 10 \mu s \cdot Kvn) \cdot Ncp \end{aligned} \quad (4.18)$$

(D) 擬似乱数ベクタで“SCAN”命令記述使用時のテスト実行時間：Tps

$$Tps = (Tprd + 10 \mu s \cdot Kcp \cdot Kvs) \cdot Ncp \quad (4.19)$$

ここで、Tprd=500ns、Kvs=0.65、Kvn=0.35として4種類のテスト時間算出式[式(4.16)~式(4.19)]に前述したテストサイクル数[式(4.1)~式(4.4)]、テストベクタ数[式(4.6)]、テストサイクル圧縮率[式(4.10)、式(4.11)]を代入して得られたテスト実行時間を図4.12に示す。図中の縦軸と横軸はそれぞれテスト実行時間(秒)とメモリのビット数(m)である。また、nはメモリのワード数を表す2のべき乗数である。



また、図4.13は図4.12で示したテスト実行時間についてベクタ命令記述法とテストベクタの種類によるテスト実行時間差を示す。図中のEはマーチベクタ利用時の“NOP”命令記述と“SCAN”命令記述によるテスト実行時間差 ( $T_{ab} = T_{mn} - T_{ms}$ ) を示す。Fは擬似ランダムベクタ利用時の両ベクタ命令記述によるテスト実行時間差 ( $T_{cd} = T_{pn} - T_{ps}$ ) を示す。一方、Gは“NOP”命令記述時のマーチベクタと擬似乱数ベクタ利用によるテスト実行時間差 ( $T_{ac} = T_{mn} - T_{pn}$ ) を示す。同様にHは“SCAN”命令記述時の両ベクタによるテスト実行時間差 ( $T_{bd} = T_{ms} - T_{ps}$ ) を示す。

図4.13のE, Fはベクタ命令記述法によるテスト実行時間短縮の効果を示し、 $m$ の値が比較的小さい場合は“NOP”命令記述の利用が“SCAN”命令記述利用よりもテスト実行時間が短縮し、 $m$ が大きい場合は“SCAN”命令記述がテスト実行時間の短縮となる。更に、図4.14は各メモリ構成に対し2種類のベクタ命令記述のうちテスト実行時間短縮化に有効なベクタ命令記述領域を示す。縦軸はメモリのワード数 ( $2$ のべき乗数  $n$ )、横軸はビット数 ( $m$ ) である。また、擬似乱数ベクタ利用時の境界線は実線で示し、マーチベクタ利用時の境界線は破線である。各境界線 (実線と破線) の左側あるいは左下隅部は“NOP”命令記述によるテスト時間が“SCAN”命令記述より短縮する領域であり、境界線の右側あるいは右上部は“SCAN”命令記述の方がテスト実行時間が短縮する領域である。この  $m$ ,  $n$  の値はマーチベクタではテスト実行時間算出式の式 (4.16) と式 (4.17) より得られるテスト実行時間が同一 ( $T_{mn} = T_{ms}$ ) となる時の  $m$ ,  $n$  であり、擬似乱数ベクタでは式 (4.18) と式 (4.19) より得られる。

テストベクタの種類によるテスト実行時間短縮の効果を図4.13中のG, Hに示す。本図はベクタ命令記述を同一とした時の2種類のテストベクタのテスト実行時間差を示す。図より擬似乱数ベクタは  $m$  の値に依存せず常にテスト実行時間がマーチベクタ利用時より短縮する。

また、図4.13中のE~Fの各テスト実行時間差より、テスト実行時間短縮の効果はベクタ命令記述の方がベクタの種類よりも大きい。

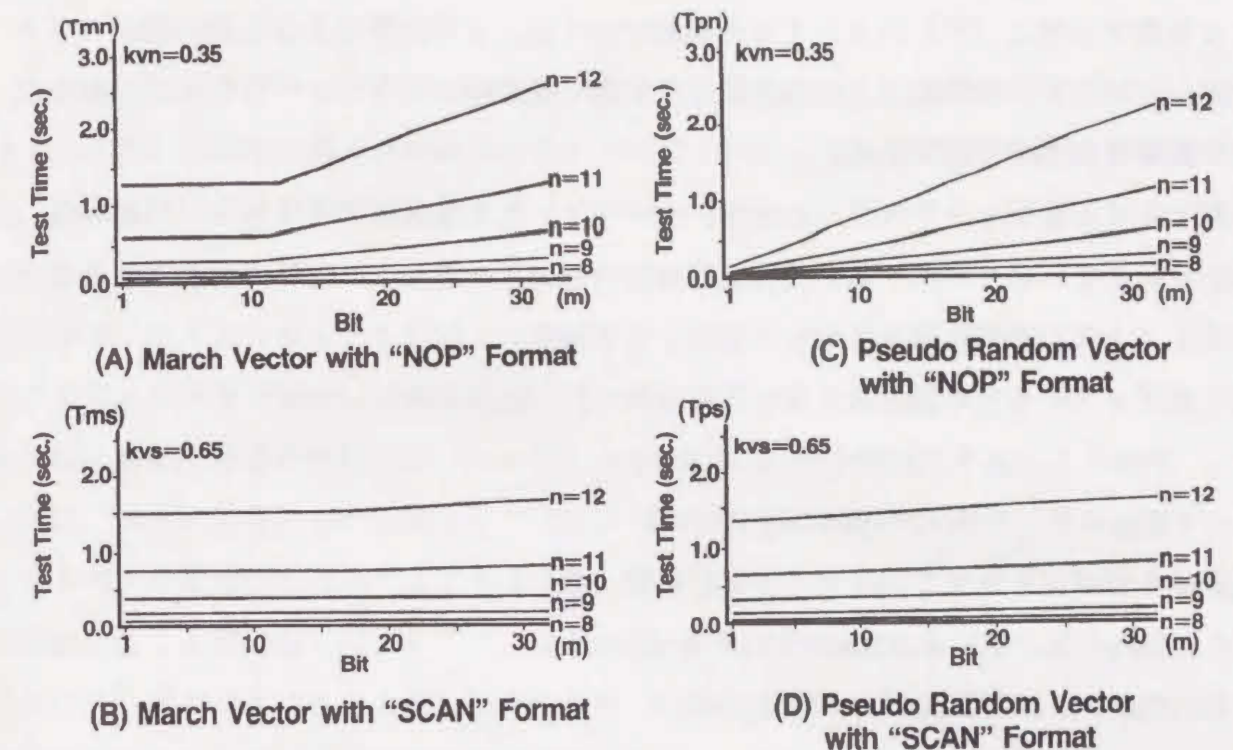


図4.12 各テストベクタによるテスト実行時間とメモリ構成

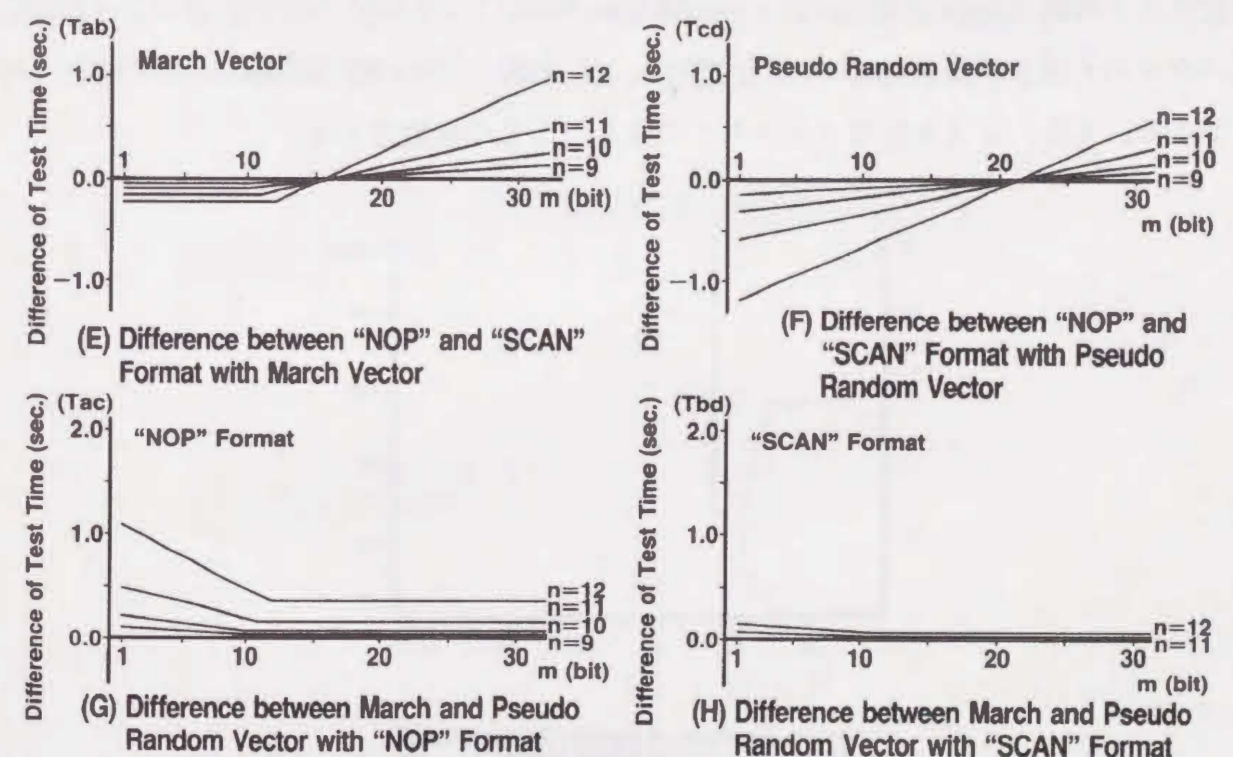


図4.13 テストベクタとベクタ命令記述によるテスト時間差



以上より、内蔵メモリのテスト実行時間を短縮するためには（イ）常に擬似乱数ベクタを利用する事と（ロ）図4. 14の実線で示す $m$ ,  $n$ の境界線より左側の構成のメモリでは“NOP”命令記述と、境界線より右側の構成のメモリでは“SCAN”命令記述を利用する事が有効である。

例として4 Kビットメモリ（ $m=1$ ,  $n=12$ ）と128 Kビットメモリ（ $m=32$ ,  $n=12$ ）についてテスト実行時間の短縮率を示す。メモリの各テスト条件によるテスト実行時間を以下に示す（図4. 12参照）。

【4 Kビットメモリの各テスト実行時間（秒）】

$T_{mn}=1.277$ ,  $T_{ms}=1.491$ ,

$T_{pn}=0.197$ ,  $T_{ps}=1.355$

【128 Kビットメモリの各テスト実行時間（秒）】

$T_{mn}=2.589$ ,  $T_{ms}=1.654$ ,

$T_{pn}=2.228$ ,  $T_{ps}=1.609$

ここでテスト実行時間短縮率は従来の“NOP”命令記述によるマーチベクタのテスト実行時間（ $T_{mn}$ ）に対して $m$ が小さい時は、“NOP”命令記述による擬似乱数ベクタの実行テスト時間（ $T_{pn}$ ）の割合とし、 $m$ が大きい時は“SCAN”命令記述による擬似乱数ベクタのテスト時間（ $T_{ps}$ ）の割合とする。従って、テスト実行時間は4 Kビットメモリで15.4%、128 Kビットメモリで62.1%に短縮される。

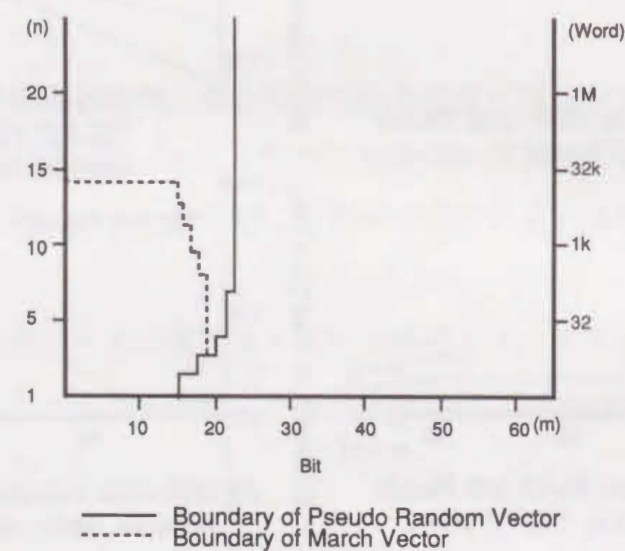


図4. 14 マーチベクタと擬似乱数ベクタでの最小テスト実行時間メモリ構成

#### 4. 5 結言

スキャンパスシフトレジスタで構成されたテスト回路を有した構成が $2n \times m$ の内蔵メモリに関して擬似乱数ベクタとマーチベクタによるテスト実行時間の短縮化を検討した。擬似乱数ベクタ利用では内蔵メモリのアドレス更新が1回のテストサイクル数で実行できる事が明らかになった。また、マーチベクタと擬似乱数ベクタによるテスト回路内蔵メモリのテストサイクル数はメモリのワード数とビット数の関数で与えられ、 $m$ が小さくて $n$ が大きい場合には擬似乱数ベクタのテストサイクル数はマーチベクタに比べて大幅に削減する事が判明した（ $m=2$ ,  $n=12$ では80%削減する）。

次に、ベクタ容量削減の指標としてテストベクタ容量に対しテストサイクル圧縮率とテストベクタ圧縮率を導入することにより、“SCAN”記述によるテストベクタ容量が削減することが分かった。そして、従来のマーチベクタと提案した擬似乱数ベクタを“NOP”記述法と“SCAN”記述法を用いた場合のテストによるテスト実行時間算出式によるテスト実行時間の短縮化を検討した。その結果、常に擬似乱数ベクタを利用する事と“NOP”記述法と“SCAN”記述法の選択条件は内蔵メモリの構成（ビット数、ワード数）に大きく依存していることが明らかとなり、大規模内蔵メモリに対しテスト実行時間を最少とするメモリ構成（ビット数、ワード数）を明示した。



## 第5章 多様化するVLSIメモリの評価用 テストプログラムの構成法

### 5.1 緒言

VLSIメモリは、DRAM、SRAMにおける多ビット化、およびEEPROM、VRAM、CAMなどの新しい機能の実現が図られている。このようなVLSIメモリの多様化に対しテスト評価およびテストプログラム<sup>(5-1)</sup>、<sup>(5-2)</sup>もそれに対応する必要がある。効率よくテストプログラムを作成することが重要な課題となっている。しかし、現状のVLSIメモリ評価用のテストは、そのハードウェア性能を最大限に引き出すために特殊なプログラム言語を使用している。そのため、多様なVLSIメモリに対して専用のテストプログラムを個別に作成せざるを得ず非効率となっている。一方、多様なVLSIメモリの中で多ビット化等メモリ機能が主であるものに対するテスト項目は、本質的に相違がなく共通性が多い。

本章では、上述したテストプログラム作成の非効率を改善するために、この共通性に着目してメモリの機能を対話式で記述（入力）するだけでテストプログラムを作成する半自動のテストプログラム手法を提案する。提案する手法によって作成したテストプログラムは、（1）VLSIメモリの構成に関係なくその作成が短時間にできる、（2）各VLSIメモリに共通した試験項目が同一手順で評価できる、（3）各VLSIメモリ固有の評価項目に対し個別に対応できる特長がある。また、そのプログラム手法による実際のVLSIメモリ評価テストプログラム<sup>(5-3)</sup>、<sup>(5-4)</sup>について、種々のVLSIメモリに適用した結果も述べる。

### 5.2 VLSIメモリ評価用テストプログラムの問題点

VLSIメモリ評価用テストプログラムは、2つに大別できる。1つはメモリの機能に対応した専用のテストプログラムであり、他の1つはテストに備わっている解析用汎用ユーティリティプログラムである。VLSIメモリ毎にその機能に応じて作成する専用のテストプログラムは、テスト対象のVLSIメモリに最も適した評価手法を実現し



たものである<sup>(5-5)~(5-14)</sup>。しかし、テストのハードウェアに大きく依存した特殊なテスト言語でその機能毎にテストプログラムを作成することは、今後益々進むVLSIメモリの多様化に対し、そのテスト言語の特殊性のために追従できなくなる。また、テストには評価を支援する評価用ユーティリティプログラムが備わっている。そのユーティリティプログラムは各テスト間で標準化されていないが、測定条件の設定・変更、電圧・タイミング余裕度のテストおよび不良ビット解析など全て会話形式で実行でき、評価および不良解析の効率化が図られている。しかし、この評価用ユーティリティプログラムを利用するときも、パス/フェイル判定をするGO/NGの簡単なテストプログラムを作成することが前提となっている。更に、DRAMのリフレッシュテスト等のような各VLSIメモリ固有の評価項目に対して、備え付けユーティリティプログラムは直ちに対応できないという問題がある。従って、新規開発のVLSIメモリの詳細な評価が、汎用ユーティリティプログラムのみで即座に実現できないのが現状である。

### 5. 3 評価用テストプログラムの構成

VLSIメモリの評価テストプログラムが汎用性を持ち、かつ、個々のVLSIメモリ固有の評価項目に対応できる、即ち、5. 2で述べた問題点を解決するためのプログラム手法について述べる。そのプログラム手法によって作成したテストプログラムの特長はプログラム構造のモジュール化、共通プログラム部の書式化、および評価機能の拡張性にある。

#### 5. 3. 1 プログラム構成のモジュール化

図5. 1に単純化した専用のVLSIメモリ評価テストプログラムの一例を示す。図において①の部分は、VLSIメモリを所定の条件のもとで測定するための記述部であり、評価の対象となるVLSIメモリ毎に異なるものである。②の部分は、VLSIメモリの評価のために、テスト条件を変更、あるいは測定で得られたデータを解析するプログラム部であり、実際の評価テストプログラムにおいては全体の5分の3~5分の4を占めるのが一般的である。また、評価を効率よく実現するために、テストの評価用ユー

ティリティプログラムを駆使して作成してある。しかし、VLSIメモリのビット容量と語構成によって変更箇所が多少あるものの、各VLSIメモリに対しそのプログラム内容は共通となる。ここで提案するプログラム手法によって作成されるテストプログラムは、上述した専用のVLSIメモリ評価テストプログラムの内容解析に基づき②と②を明確に分離するようにした。そのプログラム構成を図5. 2に示すモジュール構造とした。

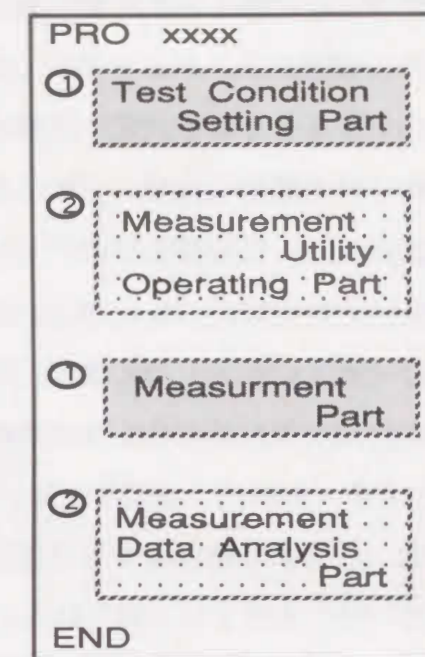


図5. 1 単純化したテストプログラム例

た。図において、(a)は評価の選択、測定条件変更・操作、および測定データの処理など、各VLSIメモリにおいて共通的に利用する部分であり、(b)はVLSIメモリ固有の測定条件(テストタイミング、電圧レベルなど)の設定、個別の評価項目(例えば、DRAMのテストモード、リフレッシュテスト等)のVLSIメモリにより内容が異なる部分である。

次に、(a)、(b)の各部について述べる。(a)部は、テストの持つ各種の評価用ユーティリティプログラム(オリジナルの各種測定用も含む: FUNCTION A~FUNCTION Eに相当)と、(b)部の各プログラム部とのデータのやりとりを制御・管理する役割をもった主プログラム(MAIN PROGRAM)から構成されている。(b)部は各VLSIメモリの評価の基本となるタイミングや電圧レベルなどの測定条件を、一定の書式に従って記述した副プログラム群(SUBROUTIN PROGRAM X,Y)と、各VLSIメモリによって測定の条件や項目などが異なるDCあるいはACのデータログルーチン用の副プログラム群(DATA LOG SUBROUTIN PROGRAM X,Y)とからなる。モジュールプログラム構造を採用することによって、多様化するVLSIメモリに対し、(a)部は共通に利用し、(b)部のみを各品種対応でプログラムするだけで各VLSIメモリ評



価テストプログラムを作成することが可能となる。そのプログラムでは、テストタイミングや電圧レベル設定、テストピンとVLSIメモリのピンとの割り付け等の必要最小限の変更で作成できるように書式化（詳細は5.3.2で述べる）した。また、テストプログラムの保守性を高めるために、テストのオペレーティングシステムのディレクトリ管理を利用し、（a）部を最上位のディレクトリに、（b）部を下位のディレクトリに配置している。その結果、（a）部は、複数のVLSIメモリの評価に対し、ただ1つ作成するだけで良く、（a）部の改訂、変更、新機能の追加などが、全ての（b）部に反映できるようになり、VLSIメモリ評価テストプログラムの保守性が大幅に改善できる。

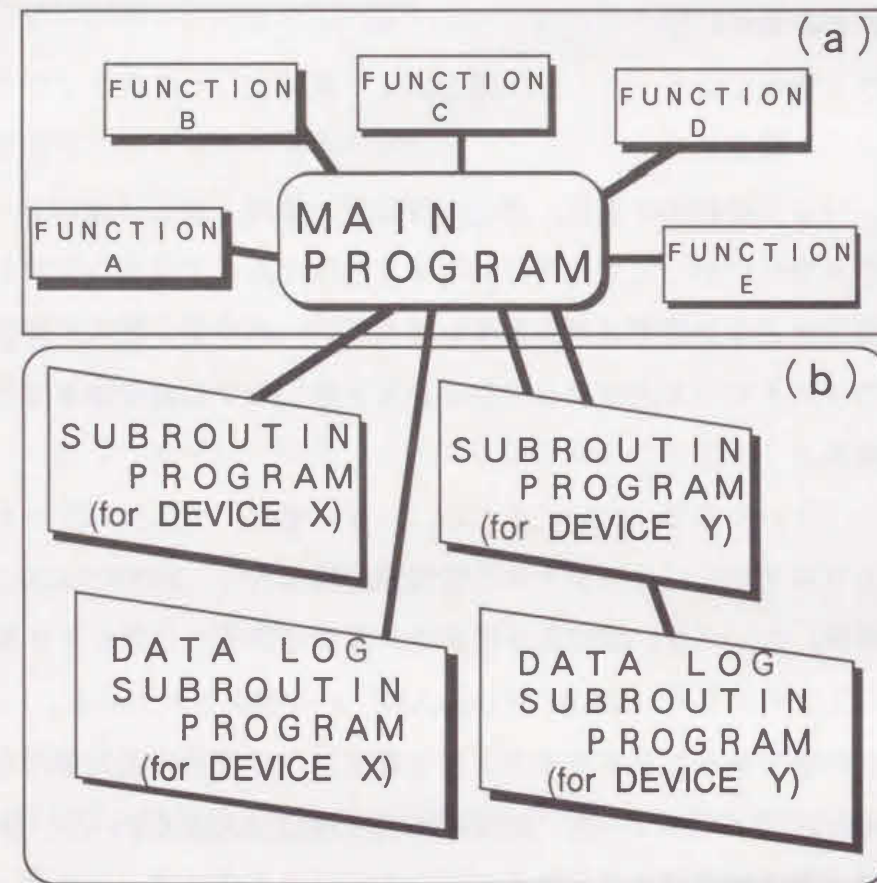


図5.2 モジュール化したテストプログラム構造

図5.3に提案したプログラム構造により作成した実際の評価テストプログラムの一例を示す。汎用性を持つ図5.2の（a）部は、プログラム全体を管理するMAIN PROGRAM、テスト備え付けの各種評価用ユーティリティプログラムTESTER UTILITY、各ユーティリティプログラムの操作を支援するLEVEL MEASUREMENT, TIME MEASUREMENT, DATA SCAN, FAIL BIT MAP, 独自に開発した評価用FAIL BIT COUNT, FAIL BIT DISPLAY, SOFT ERROR, SHMOO, 測定条件の変更を支援するCONDITION CHANGE, 測定データの処理用HISTGRAM, および次に述べるSELECT PROGRAM, USER ENTRY CARDから成る。SELECT PROGRAMは、USER ENTRY CARDに登録した測定対象のVLSIメモリの構成（ビット容量と語構成）をもとに、上で述べたTESTER UTILITY他を、そのビット構成に適合させる役割を果たす。即ち、SELECT PROGRAMの働きにより、このテストプログラムは、例えば4M×1用、あるいは1M×4ビット用になる。

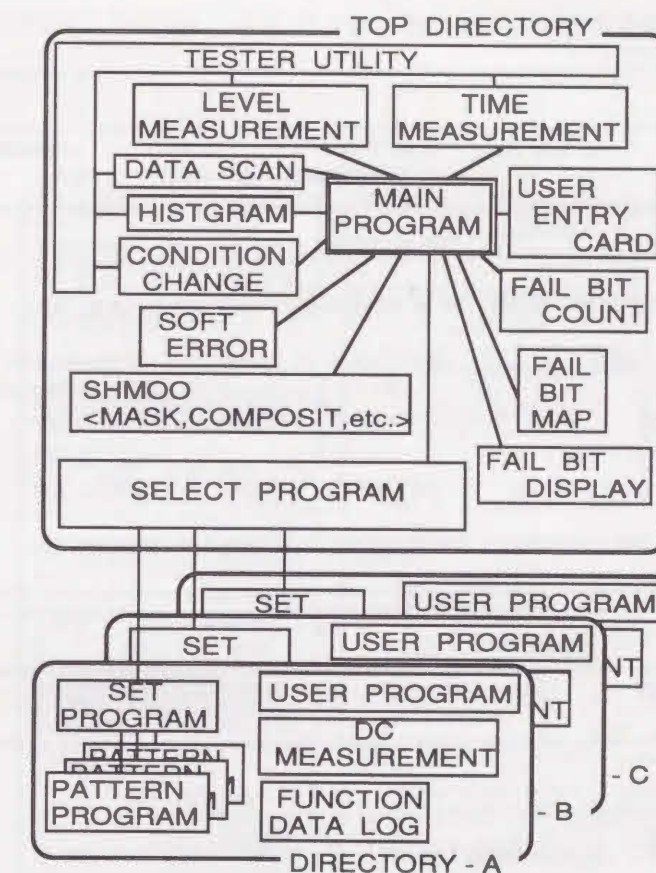


図5.3 新構造によるテストプログラム例



次に、USER ENTRY CARDを図5. 4に示す。USER ENTRY CARDには、SET PROGRAMのファイル名とそのファイルが存在するディレクトリ名、ビット容量と語構成、および固有の評価項目を評価するサブルーチンプログラム名が登録してある。図5. 4の情報をもとにSET PROGRAMがMAIN PROGRAMと接続することによって、所望のVLSIメモリ評価テストプログラムが実現できる。

各VLSIメモリ毎に作成しなければならないのは次に述べるものである。測定条件を一定の書式に従って記述したSET PROGRAM、メモリのテストに不可欠なテストパターンのPATTERN PROGRAM、各VLSIメモリに個別に対応するUSER PROGRAM、およびDCとファンクションのデータログに対応するDC MEASUREMENTとFUNCTION DATA LOGである。これらはテストプログラムの保守性を向上するために、各VLSIメモリ毎に割り付けた個別の下位ディレクトリ（図5. 3では、-A, -B, -C）で管理している。

***** USER ENTRY CARD *****	
--- MITSUBISHI LSI R&D. VER.1 ---	
* DIRECTORY	; DIR ESTIMA
* SET - PROGRAM NAME	; SUB DEMOSET : (MAX. 8 - CHARACTER)
* DEVICE SIZE	; 128K Word : (SELECT= 1K,4K,16K,64K, )
	X : ( 128K,256K,1M,4M)
* BIT SIZE	; 8 Bit : (SELECT= 1,4,8,9,16 BIT)
* USER - PRO 1 NAME	; SUB U1PRO : (MAX. 8 - CHARACTER)
* USER - PRO 2 NAME	; SUB U2PRO : (MAX. 8 - CHARACTER)
MESSAGE ;	
PF1 : EXIT	PF2 : QUIT PF3 : PRINT OUT

図5. 4 USER ENTRY CARDの一例

### 5. 3. 2 プログラムの書式化

プログラム作成の効率化を図るために、プログラムすべき書式を定め全VLSIメモリに対して共通化している。共通化した書式により、プログラム作成時間の短縮化が図れる。メモリの評価に不可欠な機能を解析した結果、個別にプログラム作成しなければならない（VLSIメモリによって異なる）のは、図5. 5のPattern name set, Timing condition set, Level condition setおよびTester pin assignのみであることが分かった。Pattern name setには、テストパターンのプログラム名のみを、Timing condition setには、テストタイミング条件を、Level condition setには、電圧設定条件を、Tester pin assignには、VLSIメモリとテストのピン割り付けを、各々独立に決めてある書式に従って記述する。

Operation partは、上位ディレクトリにあるMAIN PROGRAMとのパラメータ授受と、タイミング条件や電圧条件を選択するものであり各VLSIメモリに共通する。従って、VLSIメモリの評価ではここで示したSET PROGRAMを作成するのみで、自動的かつ即座にその評価が可能になる。

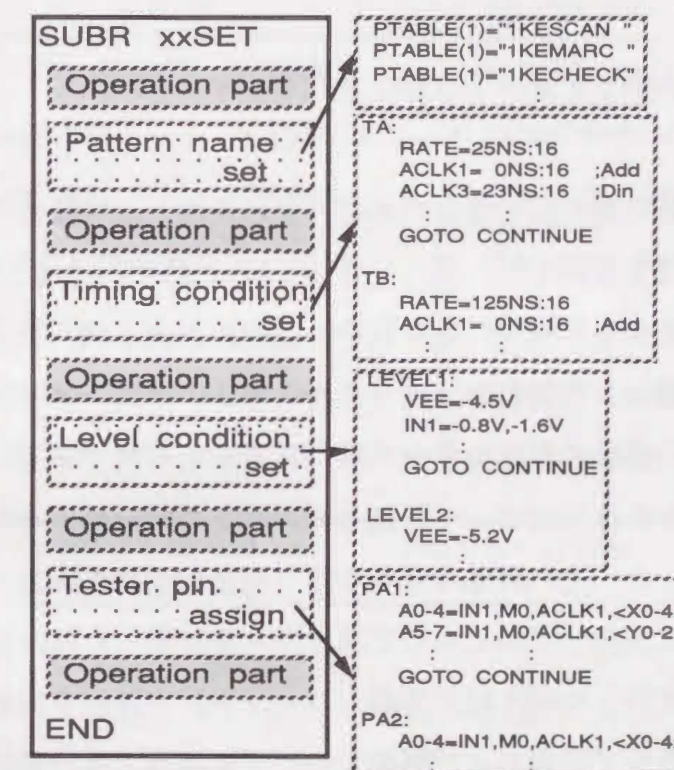


図5. 5 SET PROGRAMフォーマット



### 5. 3. 3 評価機能の拡張性

開発過程の評価においては、DRAMのリフレッシュテスト、EEPROMのベリファイテストなど特殊な評価項目、または評価中に新たに見つかった現象を他のVLSIメモリに対してもテストできるように評価項目を追加する場合がある。

5. 3. 1で述べたテストプログラムのモジュール化の採用とMAIN PROGRAMに予め評価項目の追加があることを想定したデータの授受の仕様を予め定めておくことによって、テストプログラムの評価機能の拡張を可能とした。一例として、SET PROGRAM中に登録済のパターン名以外の新たなパターン名を追加する場合、SET PROGRAM中に冗長なパターン名を登録用テーブルに予め定義することによって、表示画面のパターン選択の中から対話形式で新たに選択することを可能とした。

また、DCデータログやファンクションデータログ用のプログラムあるいは新規の評価項目を追加する場合、図5. 4に示したUSER ENTRY CARD内のSUB U1PROに相当するダミー名のサブルーチンを予め登録することによって、追加プログラム名をそのダミー名に変更することで直ちに実現した。

### 5. 3. 4 操作性の向上とオートコマンドバッファ

操作性に関し評価を効率良く実行するために、表示画面との対話形式ですべての処理が進行するメニュー方式を採用した。図5. 6 (a) (b) (c)に「メニュー表示例」「タイミング変更画面表示例」「電圧レベル変更画面表示例」を示す。

VLSIメモリの評価は、複数個のメモリに対しあるいは同一メモリでも時間を変えて実施する場合があります、前回の測定条件や手順の再現が不可欠である。そのため、オートコマンドバッファ機能の採用によって評価効率の向上を図った。オートコマンドバッファ機能とは、一度行った一連の評価の実行手順（会話形式にて入力していったコマンド）をデータファイルに記憶しておくものであり、一度記憶した後は記憶したファイルを呼び出すのみで以前実行したのと同じ手順（コマンド）で評価を再現するものである。従って、同じ測定条件で評価および解析をいつでも再現でき、評価が効率良く実行できる。更に、このオートコマンドバッファ機能とハンドラあるいはプローバなどのメ

モリの自動搬送機とを組み合わせることによって、複数のVLSIメモリの評価が連続的に自動で実行でき大幅な省力化が図れる。

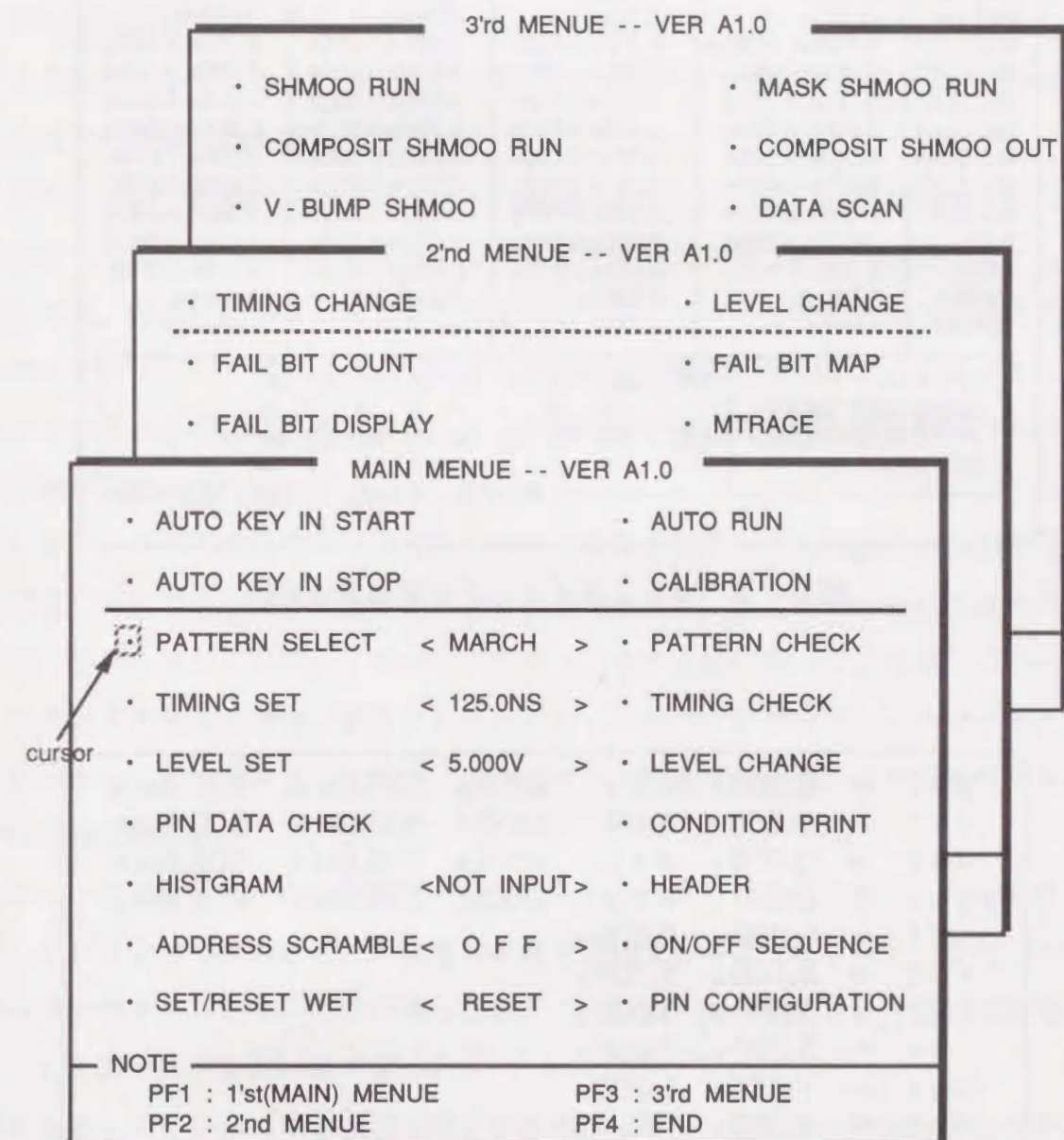


図5. 6 (a) メニューの表示の例



<<<<<<<<<		CONDITION OF CLOCKS		>>>>>>>>		MODE = NORMAL	
	TS01		TS02		TS03		TS04
RATE	12.55us		0.000s		0.000s		0.000s
ACLK1	0.000s		0.000s		0.000s		0.000s
ACLK2	0.000s		0.000s		0.000s		0.000s
ACLK3	0.000s		0.000s		0.000s		0.000s
ACLK4	0.000s		0.000s		0.000s		0.000s
B,CCLK1	1.730us 1.050us		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK2	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK3	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK4	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK5	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK6	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK7	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
B,CCLK8	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
DRE1	0.000s 0.000s		0.000s 0.000s		0.000s 0.000s		0.000s 0.000s
STRB1	8.540us		8.540us		8.540us		8.540us
STRB2	-----		-----		-----		-----

PF1:EXIT	ST1	\$01	02	03	04	05	06	07	08
PF2:START MPAT		P	P	*	P	P	P	P	P
PF3:OTHER FUNC.	ST2	\$01	02	03	04	05	06	07	08
PF4:NEXT TS		P	P	P	P	P	P	P	*

P:PASS    \*:FAIL    -:NOT TESTING

図 5. 6 (b) タイミング変更画面表示例

VS1	=	5.000v	R8V	M0.5A	505.6MA	-505.6MA
VS1	=	-3.500v	R8V	M0.5A	505.6MA	-505.6MA
VS1	=	0.000v	R8V	M0.5A	505.6MA	-505.6MA
VS1	=	0.000v	R8V	M0.5A	505.6MA	-505.6MA
IN1	=	5.000v,	0.000v			
IN2	=	5.700v,	1.700v			
IN3	=	5.000v,	0.000v			
IN4	=	5.000v,	0.000v			
OUT1	=	1.670v,	1.000v			
VT1	=	1.300v				
CHANGE UNIT = XXXX						

図 5. 6 (c) 電圧レベル変更画面表示例

#### 5. 4 VLSIメモリ評価への適用

提案したプログラム構成の有用性を確認するために、実際のVLSIメモリ評価テストプログラムのMemory Evaluation TEst prograM(METEM)を、256K~4MビットのDRAM, 64K~1MビットのCMOS SRAM, 64K~1MビットのEEPROM, 1Kビットと4KビットのGaAs RAM, 1K~16KビットのECL RAM, および256Kと1MビットのBiCMOS SRAMの16種のVLSIメモリ評価に適用した結果から得られた成果を以下に述べる。

VLSIメモリ評価テストプログラムの構造をモジュール化し、新たなメモリに対する場合でも一定の書式に従って記述するのみでテストプログラムの作成を可能としたことによって、評価対象のVLSIメモリを規定するパラメータの設定以外の部分をブラックボックスとしてプログラムできる。そのため、素早く強力なVLSIメモリ評価テストプログラムが作成可能となり、テストプログラム作成時間が従来の5分の1と大幅に短縮できた。

VLSIメモリ評価機能の拡張性によって、各VLSIメモリに固有の評価項目に対し効率良く対応できるようになった。その具体例として、DRAMにおいてはテストモード、リフレッシュテスト、Vバンプテスト、SRAMにおいてはソフトエラー評価、アドレスキュー評価、EEPROMにおいてはページモード、ベリファイテスト、GaAsにおいてはビット毎のアクセスタイム評価等の評価テストプログラムの作成が短時間に行えた。

メニュー表示を基にした対話形式の操作のため、テストの操作に馴染んでない者（例えば、VLSIメモリ設計者）が容易に評価を実施できるようになった。また、テストの操作方法が各VLSIメモリで統一されたことによって、VLSIメモリの評価システムとしてのテストが使い易くなった。

各VLSIメモリに対する評価手順の標準化により、ソフトウェア資産を共有することが可能となった。一例として、CMOS SRAMの評価項目として作成したソフトエラー評価のテストプログラムが、測定条件の一部を変更することによって直ちにECL RAMのソフトエラー評価に適用できた。



## 5. 5 結言

VLSIメモリの評価テストプログラムを効率よく作成するプログラム構成を提案し、DRAM, SRAM (CMOS, ECL, GaAs), EEPROMの各VLSIメモリのプログラム作成および評価に適用してその有用性を確認した。

提案したVLSIメモリのテストプログラムは、汎用プログラム部と評価対象のメモリに固有のプログラム部とに分離したモジュール構造を有したものである。新たなVLSIメモリに対しその評価用テストプログラムを作成する場合、そのプログラム部分を一定の書式に従った記述のみで実現できるようにしたので、その作成時間は従来の5分の1と大幅に短縮できた。

更に、提案した構造として作成したVLSIメモリのテストプログラムは、汎用性を有すると共にVLSIメモリに固有の評価項目に効率良く対応できることを16種のメモリに適用して確認した。また、テストプログラムの操作を共通化しメニュー表示を基にした対話形式の操作とすることによって、VLSIメモリの評価に要する時間が削減でき、評価および解析の効率化が図れることを確認した。

## 第6章 VLSIメモリ用自動不良解析システム

### 6. 1 緒言

VLSIメモリの高品質化ならびに設計検証の効率化に対し不良解析手法の高度化が必要である。VLSIメモリ内部の配線の電位観測は従来は第3章で述べたプローブ針を配線に接触して実施していたが、微細寸法の配線に対してはプローブ針径が配線幅より大きいために配線への接触が不可能となる。そこで電子ビームによる非接触法（電子ビームテスト）が利用されている<sup>(6-1)~(6-8)</sup>。一方、電子ビームテストを用いてVLSIメモリ内部の不良場所を特定するためにはVLSIメモリの大規模な設計データを扱うこととなり膨大な時間を要している<sup>(6-9)~(6-13)</sup>。また、チップ内部の不良発生場所を同定するアルゴリズムの開発も必要となるが、効率的なアルゴリズムが提案されていないのが現状である。そこで本章では、設計データをほとんど利用することなく不良場所の抽出を可能とする電子ビームテストシステムを提案する。本システムはVLSIメモリの典型的な不良モードとその不良発生領域には一意的な関係があることに着目し、その関係に基づいて電子ビーム照射対象場所を自動的に抽出できることを示す。更に、本システムを実際のVLSIメモリに適用し、各種観測データの採取時間の短縮化が実現することを述べる。

### 6. 2 電子ビームテストの原理

図6. 1に電子ビーム照射による電位観測の原理を示す。電子ビーム（一次電子）がLSIに衝突すると二次電子が放出される。この放出された二次電子を検出器で捕集することで電位コントラスト像が得られる<sup>(6-14)</sup>。LSI配線の表面の電位分布の違いにより二次電子検出器の捕集効率が変化するので濃淡のある電位コントラスト像となる。電位コントラスト像は照射場所の電位が高い場合は「黒く」、低い場合は「白く」なって現われる。さらに一次電子をパルス状（パルスビーム）として、LSIの動作周期に同期して特定の位相に繰り返しパルスビームを照射することで電位波形信号が得られる。これを利用したものがストロボSEM<sup>(6-15)</sup>（Scanning Electron Microscopy）であ



る。このストロボSEMとLSIテストを組み合わせることで一体構成となったものを電子ビームテストと呼ばれている<sup>(6-16)</sup>。図6. 2に電子ビームテストの構造を示す。被テストLSIは真空状態となった鏡筒内部に収納され、LSIテストから信号、電圧印加により動作状態となっている。一次電子ビームをパルス状に発生する電子銃、位相を制御するブランキング電極、ビーム径を調節する磁界レンズ、そして放出された二次電子を検出するシンチレータが鏡筒内部に配備している。

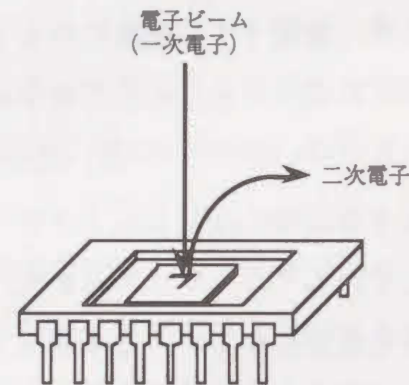


図6. 1 電子ビーム照射による電位観測の原理

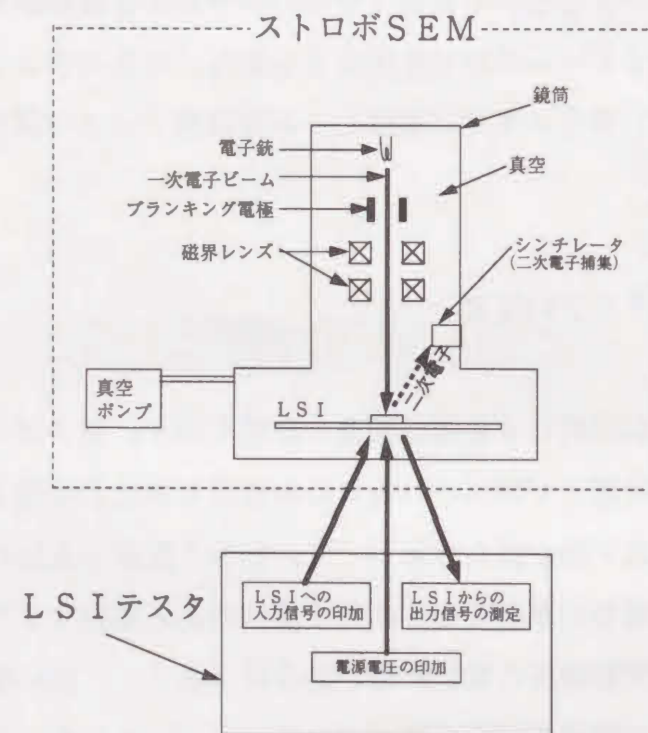


図6. 2 電子ビームテストの構成

### 6. 3 不良場所への自動位置合わせ法<sup>(6-17), (6-18)</sup>

テストを用いてテスト実施して得られるVLSIメモリの不良内容には多種類の不良モードがあり、不良発生場所と不良モードの対応が必ずしも正確には一致していないことが多い。しかし、不良結果を詳細に調査したところ代表的な不良内容に関し、不良モードとその時の不良発生場所には一意的な関係があることが判明した。この関係から電子ビームテストを用いて観測するVLSIメモリ内部の場所の特定化が容易になる。

図6. 3は4MビットDRAMの不良ビット発生場所を容易に把握するためXアドレスならびにYアドレスの2次元メモリ空間として表示するテストユーティリティプログラムFBM(Fail Bit Map)の実行結果例を示す。メモリセル数は4194304個存在し、各メモリセルはX、Yアドレス情報で指定されるセル番地に対応している。X、Yアドレスはそれぞれ10<sup>11</sup>通りあり、バイナリー表示では7FFとなる。LSIテストは不良セルに対応するアドレスを蓄積しているため、不良セルとアドレスの対応は容易に行える。本例では同一のYアドレスのみに不良が発生しており、不良Yアドレスは3FFであり、メモリセル空間の中央である。またXアドレスの000から0FFまで不良となっているので不良メモリセル数は256個となる。この不良はYアドレスはメモリ構成からビットラインに対応しているためビットライン不良と断定できる。このようにFBMはウエーハ内の全チップに対して実行し、チップ単位またはウエーハ単位で膨大な不良発生情報が視覚的に容易に得られるのでVLSIメモリの不良解析において極めて有効な不良解析テストプログラムである。

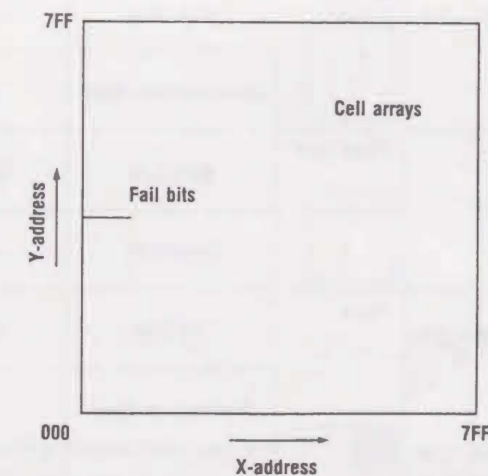







図6. 3 4MビットDRAMのFail Bit Map例



表6. 1はVLSIメモリの代表的な不良モードとその不良発生場所ならびに電子ビームテストを利用する時の観測モード（観測方式）の関係を示す。ところで、電子ビームテストは観測モードとして電位コントラスト像モード<sup>(6-19)</sup>とロジックステートマッピングモード<sup>(6-20)</sup>、<sup>(6-21)</sup>があり、いずれもチップ内部の最上層の配線部に電子ビームを照射することを原理とし、各不良モードに応じて観測モードを選択する。例えば、ワードライン不良ではワードライン部が4MビットDRAMの最上層の配線領域のため電子ビームテストによる観測場所は不良アドレス部となる。しかし、ビットライン不良ではビットライン部がチップの最上層に露出しておらず、ビットライン部と電氣的に接続し、かつ最上層が露出しているS/A（センスアンプ）部またはデコーダブロック部が観測対象場所となる。

表6. 1 不良発生場所と不良モードの関係

No	FAILURE ADDRESS NUMBER	FAILURE MODE	OBSERVATION AREA	MEASUREMENT MODE	
				VOLTAGE CONTRAST	LOGIC STATE MAPPING
1	X=□□□ Y=□□□	"Bit" 	Sense Amp.	—	○
			Word Line	○	○
2	X=□□□ Y=□00~□FF (CA <sub>10</sub> =0 or 1)	"Word Line" (X-line) 	Word Line	○	○
			Row Decoder Block	○	○
3	X=□00~□FF (□=1~7) Y=□□□	"Bit Line" (Y-line) 	Sense Amp.	—	○
			Column Decoder Block	○	○
4	2 and 3	"Cross Line" 	Word Line	○	○
			Sense Amp.	—	○
5	X=□00~□FF (□=1~7) Y=□00~□FF (CA <sub>10</sub> =0 or 1)	"Block" 	I/O Line	○	○
			Row Decoder Block	○	○
			Column Decoder Block	○	○

### 6. 3. 1 チップ内部の座標表示化

本節では、VLSIメモリについてアドレス番地とメモリ内部領域の関係を述べる。図6. 4は4MビットDRAMのメモリセル部の配置と各アドレス番地に対応するブロック分割状態を示す。メモリセル部はロウアドレス(RA0-RA10)とコラムアドレス(CA0-CA10)データ（各アドレスの1または0の組み合わせ）に対応した16個のブロックを構成しているため不良アドレス番地の各アドレスデータから直に不良対象ブロックは抽出できる。1ブロック当たりのメモリ容量は256K（1Kは1024ビットを表わす）ビットである。図中のメモリセル部の最も左の1ブロックの拡大を図6. 5に示す。ここで、ブロックの原点となる位置座標をブロックの左上部とすると、ブロックの中のメモリセルは規則正しく配置配列しているのでブロック原点位置座標からX方向とY方向に対して距離の関数として表わせる。従って、16個のメモリセルブロックは規則正しく配列しているため各メモリセルブロックの原点となる位置座標は4MビットDRAMチップ全体の原点位置座標（図6. 4の左下部）とした距離の関数なる。従って、すべてのメモリセルのセル位置座標はチップの原点位置座標（0, 0）として（X, Y）座標表示で指定できる。更に、メモリセルと隣接して配置するセンスアンプ（S/A）部、各デコーダ部そしてワードライン部に対しても同様に各位置の座標表示が可能となる。



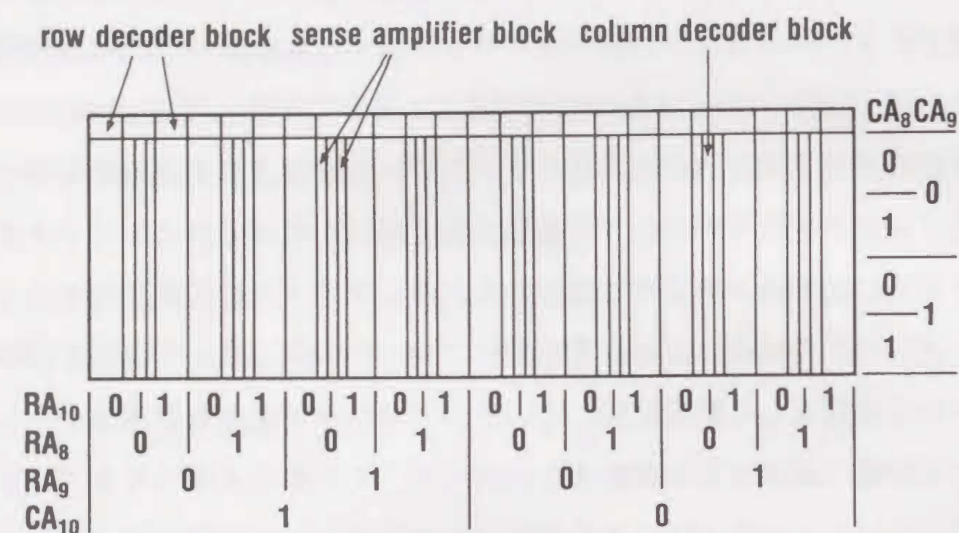


図6. 4 アドレス番地とブロック分割関係

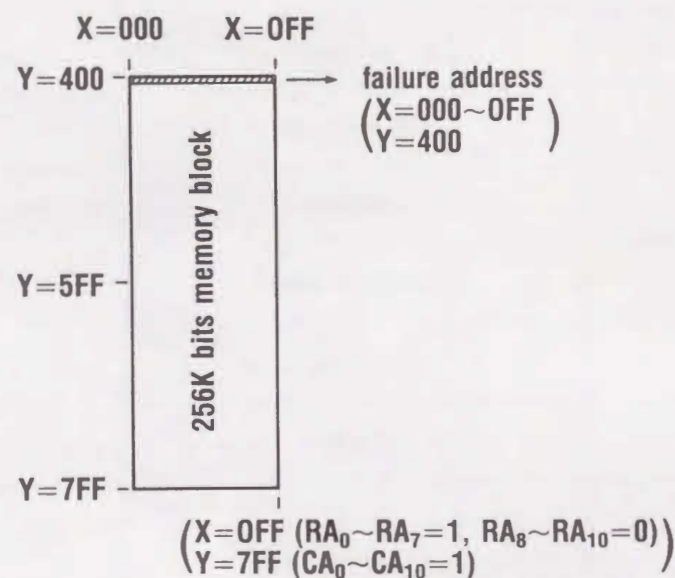


図6. 5 ブロック拡大図

### 6. 3. 2 観測位置へのチップ移動

ここでは、観測位置へのウェーハプローバステージの位置合わせについて述べる。テストによるVLSIメモリのテスト実施から得られた不良アドレス、不良モード、FBMなどのテスト情報に基づき、電子ビームテストで観測する位置座標をチップの基準となる位置座標との距離として表わす。チップの原点となる位置座標を予めウェーハプローバステージの基準座標に設定しておき、チップの原点位置から電子ビームテストで観測を実施する位置へチップ移動するようステージの駆動機構に信号を印加することによりチップの位置合わせが可能となる。

### 6. 3. 3 観測データの自動採取

本節では、チップ観測場所位置の座標化とプローバステージ移動によるチップ内部の観測場所への位置合わせにより、電子ビームテストを使用して各種の観測データ採取を自動的に行う手順を示す。図6. 6に観測データの採取フローを示す。

まず、テストによるウェーハテストを実行してウェーハ上の各チップに対しFBMを求め、FBMをウェーハ上のチップ配列に対応させたWBM(Wafer Bit Map)として表示する。次に、テストにより不良と判断したチップの不良（フェイル）アドレスが電子ビームテスト用に選択される。この不良アドレスは表6. 1に示す代表的な不良モードと対応する。不良チップを確認するため、選択された不良アドレスの中から最初に不良となった時の不良アドレスをテストに送り、テストを再度実施し、テスト結果がパス（テスト結果が前回と不一致）の場合は2番目の不良アドレスに変更して再テストを実施する。いずれの不良アドレスにおいてもパスとなる場合は電子ビームテスト対象チップから除外する。再テスト結果がフェイル（テスト結果が一致）の場合は観測位置へのチップの移動を行う。不良モードに対応する観測場所は表6. 1から得る。位置座標のデータに応じてウェーハプローバステージによりチップが移動し、チップ内部の観測場所への位置合わせが完了する。その後、適当な観測倍率（通常は電子ビーム照射エネルギー量と照射時間から予め設定しておくことが可能）で電子ビームテスト（ビーム照射）を実施し、観測データ（電位コントラスト像またはロジックステート像）をWBMデータと共に



データベースに蓄積する。この時の観測データの形式はウェーハ上のチップ配列に対応している。以上のフローをチップ内部の各代表的不良モードに対し実施し、ウェーハ上の全チップに対して観測を行う。チップ移動は従来のウェーハプローバの自動アライメント機能より実施できるので人手による操作が不要となる。

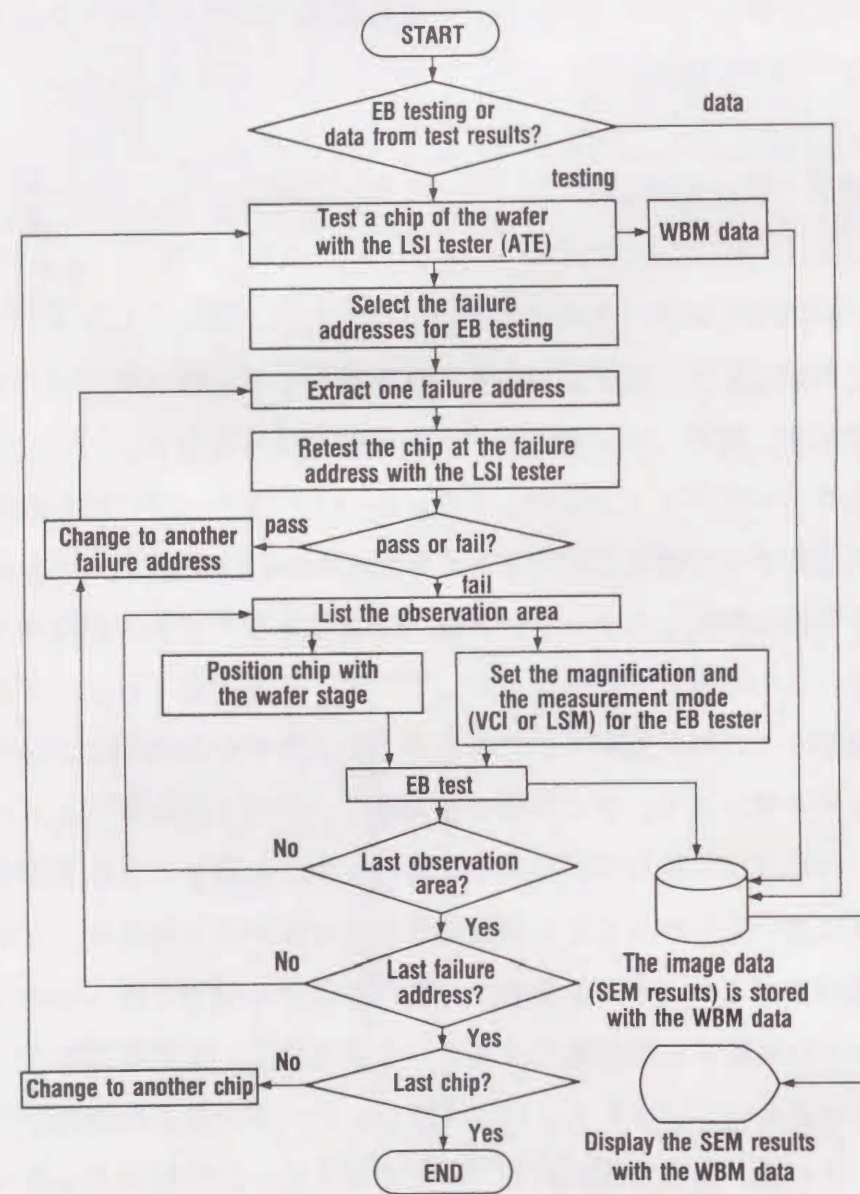


図 6. 6 観測データの採取フロー

#### 6. 4 不良解析用電子ビームテストシステム

本システム概観を図 6. 7 に示す。本システムは市販の電子ビームテストとメモリテストに特化した内作テストからなる。テストと電子ビームテストは 1 メートルの同軸ケーブルを介して VLSI メモリチップが真空状態で格納されている電子ビームテストの試料室前面に接続している。図 6. 8 はウェーハプローブステージを示す。真空試料室の内部にはウェーハプローブステージを格納してウェーハ上のチップ移動を自動的に行い、ウェーハテスト作業の効率を高めた。

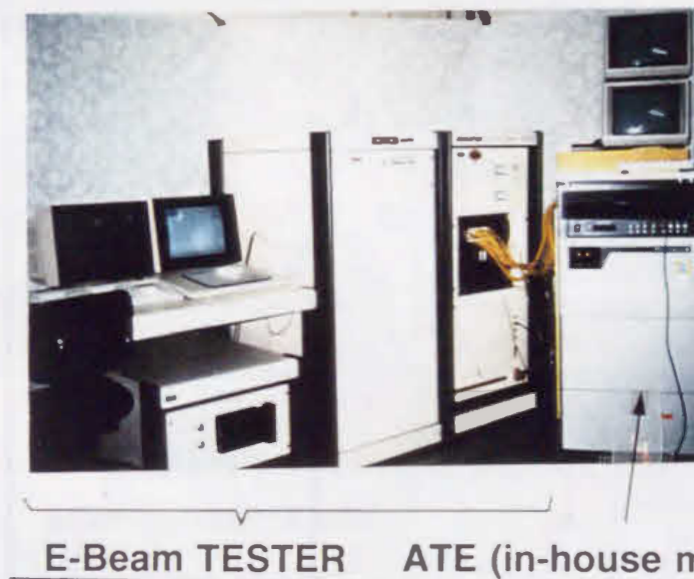


図 6. 7 システム外観



図 6. 8 ウェーハプローブステージ



## 6. 5 VLSIメモリへの適用結果とその効果

本節では、開発したシステムを実際のVLSIメモリの不良解析に適用し、不良解析に必要な観測データの採取時間が大幅に短縮化できることを確認する。

図6. 9は本システムを4MビットDRAMに適用した例を示す。1枚のウェーハ上の各チップのウェーハテスト実施後に得られた典型的な不良モードに対し、観測対象チップならびにチップ内部の各観測場所における観測データとWBMである。本例では不良モードはワードライン不良、ブロック不良であり、電子ビームテストはそれぞれワードライン部、ロウ／コラムデコーダ部に対して行い、観測モードは電圧コンロラスト像モードを使用した。

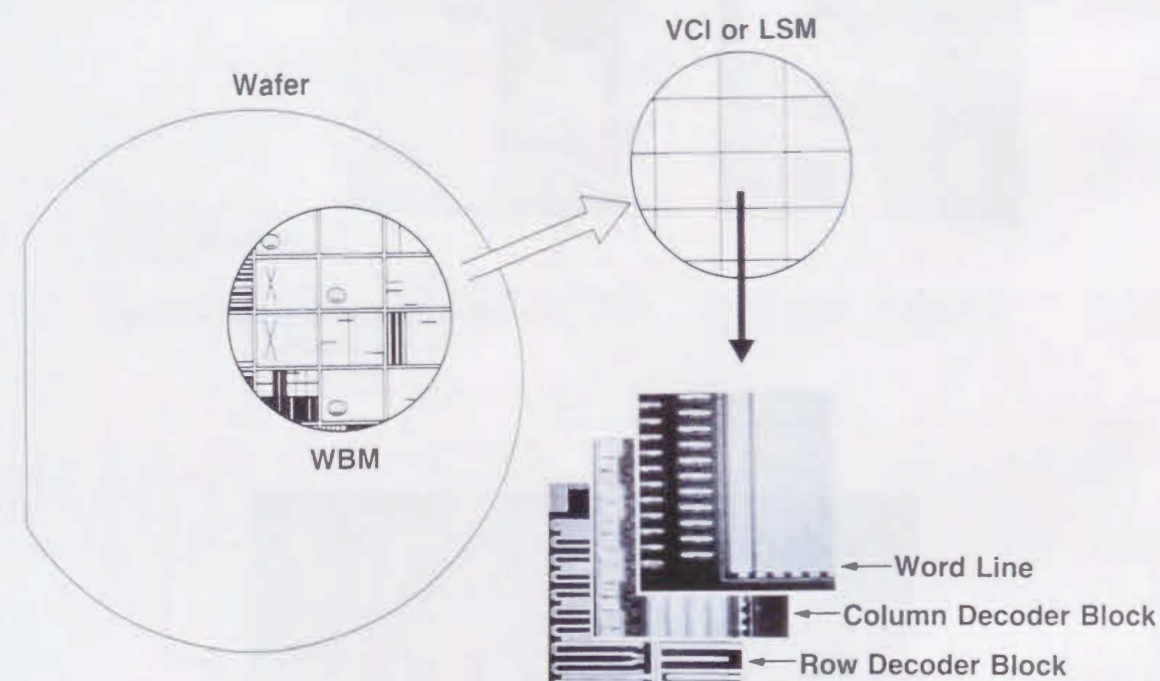


図6. 9 不良チップの観測データとWBMの表示例

次に、従来法と本システム利用による解析に要する時間比較を表6. 2に示す。

従来は不良アドレスの選択ならびに観測位置へのチップの位置合わせなどほとんど回路レイアウト図面を参照しながら人手で実施していたため解析に多くの時間を要している。

表より、従来は不良アドレスの選択に1分、観測位置へのチップ位置合わせに5分必要であったが本システムによれば、それぞれ2秒、1秒と大幅に時間短縮が実現した。

更に、1チップに対し不良解析解析作業を完了するのに要する時間は従来と比べ約19分の1の短縮化となる。

表6. 2 解析時間の比較

Remark; one failure/five modes on a chip

ITEM	Analysis time (sec.)	
	High throughput EB system	Conventional EB tester
Test with the LSI tester	2	2
Select the failure address	2	60
Retest with EB testing	1	300
List the observation area	0.1	30
Position chip with wafer stage	3	300
Set magnification and measurement mode (VCI or LSM)	1	5
EB test	30 1 (store time)	30
Display the results	1	60
TOTAL Time (sec.)	41.1	787



## 6. 6 結言

本章では設計データをほとんど利用することなく被観測場所の指定を可能とする電子ビームテストシステムを提案した。VLSIメモリの不良解析を調査したところ典型的な不良モードとその不良発生場所には一意的な関係があることが明らかとした。そして、不良モード、不良アドレスから電子ビーム照射対象場所をチップの相対位置座標に置き換えてウェーハアライメント機能へのデータとし、チップの自動位置合わせを可能とすることを示した。最後に、本システムを実際のVLSIメモリの不良解析に適用し、各種観測データの採取に要する時間が従来の人手法に比べ大幅に短縮することを示し、本システムの解析操作の自動化による効果を明らかにした。

## 第7章 結論

VLSIメモリの高速化、大規模化、多様化、高信頼化に対するテストの効率化に関する基礎的研究について第2章から第6章にわたって述べた。本章では、本研究で得られた結果を総括して以下に示す。

高速化に対しては、LSIテストによるタイミング測定に関し、測定精度の向上を、高速VLSIメモリで実現した。(2章)

- (1) 伝送線路の特性インピーダンスの不整合によりタイミング測定精度が悪化することをシミュレーション解析並びにVLSIを測定することにより明らかにした。
- (2) タイミング測定精度の向上および高速テストの実施を効率的に実現するために電流注入法を提案した。
- (3) 本手法はLSIテストの従来機能を利用して実現できることをシミュレーション解析により確認した。
- (4) 本手法をVLSIメモリのタイミング測定に適用し、従来のテスト周期は18MHzでまでであったが100MHz以上の高速化が実現し、電圧の歪幅が約40%改善することを実証した。

大規模化に関し、チップ面積の縮小化に伴う、多ピン化・狭隘化する電極パッドに対するプロービング手法に関して次の結論を得た。(3章)

- (1) 従来のプロービング手法はパッドピッチが100 $\mu$ m、パッド数は300個が限界であることを各種の実験結果より明らかにした。
- (2) 多ピン化・狭隘化のプロービングを容易にするために写真製版技法によりパッドピッチ80 $\mu$ m、パッド数480個を有した新構造プローブカードを試作した。
- (3) 新構造プローブカードをデバイスに適用することによって、電気的特性、機械的特性は従来プローブカードと等価なことを確認した。
- (4) 本構造のプローブカードは将来の超多ピン・狭隘パッドに対するプロービングを容易に実現できると考える。

大規模内蔵メモリのテスト時間短縮化に対し、テスト回路の提案とテストパターンと内蔵メモリ構成の関係を明らかにした。(4章)



- (1) 大規模メモリに対し、テストパターンを容易に生成するためにスキャンバスシフトレジスタで構成したテスト回路を提案した。
- (2) 本提案によるテスト回路は従来のマーチパターンと同等の検出能力を有した擬似乱数パターンを容易に発生できることを明らかにした。
- (3) テスト時間の主要因であるテストサイクル数を解析したところ、従来のマーチパターンに比べ擬似乱数パターンはすべてのメモリ構成に対し、必ずテストサイクル数は削減し、メモリの大規模化と共にその削減効果は顕著となることが判明した（最大で80%の削減となる）。
- (4) LSIメモリテストのベクタ格納領域を有効に使用するために、テストサイクル圧縮率ならびにテストベクタ圧縮率を指標として導入することにより、そ使用効率を定量化した。
- (5) 被テスト内蔵メモリ構成に対し、各種テストパターン、各テストパターン記述法をパラメータとしたテスト時間算出式を導入することにより、テスト時間を定義し、テスト時間が最小となる大規模内蔵メモリ構成とテストパターン種類の相互関係を明らかにした。

VLSIメモリの多様化に関し、VLSIメモリ評価用テストプログラムの効率的な作成を可能とするプログラミング構造を明らかにした。（5章）

- (1) VLSIメモリ評価用テストプログラムをモジュール化した構造とし、一定の書式にしたがって記述することでテストプログラムの作成が容易となるので新たなVLSIメモリに対応するテストプログラム作成が可能となる。そのため、短時間でVLSIメモリ評価用テストプログラムが作成可能となり、テストプログラム作成時間は従来の20%となり、飛躍的に作成時間が短縮できることを確認した。
- (2) 本構造にしたがって作成したVLSIメモリのテストプログラムは、汎用性を備えると共にVLSIメモリに固有の評価項目に効率よく対応できることをDRAM, SRAM, EEPROMなどのテストプログラム作成および評価に適用して確認した。
- (3) テストプログラムの操作を共通化しメニュー表示を基にした対話形式の操作とすることによって、VLSIメモリの評価に要する時間が削減でき、評価および解析の効率化が実現できることを確認した。

VLSIメモリの不良解析に対し、解析の自動化、効率化を実現するために解

析専用の電子ビームテストを開発し、VLSIメモリに適用してその有効性を明らかにした。（6章）

- (1) VLSIメモリの代表的な不良モードとチップ内部の不良発生場所には相関関係が存在することを示した。
- (2) 不良アドレス番地からチップの位置を(X, Y)座標に変換することで観測（電子ビーム照射）場所を自動的に抽出できることを示した。
- (3) 電子ビームによる観測データを自動採取するために採取フローをアルゴリズム化し、ウェーハプローブステージを利用したチップ移動により膨大な観測データの自動採取が可能となることを示した。
- (4) 開発した電子ビームテストによりVLSIメモリの解析データ採取を実施し、採取時間は従来の約19分の1に短縮し、その有効性を実証した。

以上、高精度な測定手法の提案と実現、微細構造を有したテスト治具の試作、デバイスのテスト容易化設計の提案、評価用テストプログラムの新構造の提案と実現、および不良解析に特化したシステムの開発を行い、VLSIメモリの高速度化、大規模化、多様化、高信頼化に対するテストの効率化に対する指針を得ることができた。



## 謝 辞

本論文を結ぶにあたり、終始御懇篤なる御指導と御鞭撻を賜った徳島大学工学部電気電子工学科 牛田 明夫 教授に喪心より御礼申し上げます。

更に、本論文の作成にあたり、数々の有益な御教示と御忠告を賜った徳島大学工学部電気電子工学科 木内 陽介 教授、ならびに為貞 建臣 教授に深く感謝申し上げます。

一方、本研究の機会を与えて頂いた三菱電機株式会社取締役映像情報事業本部副本部長 中野 隆生 博士、同株式会社半導体事業本部参与（前システムLSI開発研究所所長） 堀場 康孝 博士、同株式会社半導体事業本部マイコンASIC事業統括部参与 茅野 晋平 博士、ならびに同株式会社元技術研修所所長 蒲生 容仁 博士に御礼申しあげます。

また、本研究にあたって終始御指導と御討論を頂いた三菱電機株式会社システムLSI開発研究所所長 土橋 宏二 氏、同研究所副所長 松本 平八 博士、同研究所LSI設計開発第二部部长 角 正 氏、同研究所企画グループグループマネージャ 徳田 健 博士、同株式会社半導体事業本部メモリ事業統括部メモリIC第二部部长 穴見 健治 博士、同株式会社技術研修所参事 蔵満 洋一 博士、ならびに菱光コンピュータシステム株式会社部長 早坂 吉昭 氏に深甚の謝意を申しあげます。

また、本論文における数々の分析、解析に御協力頂き有益な御討論をして頂いた三菱電機株式会社システムLSI開発研究所グループマネージャ 岡田 圭介 氏、荒川 隆彦 氏、同研究所主幹 田中 宏 氏、同研究所主事 前野 秀史 氏、高木 亮一 氏、同株式会社ULSI開発研究所主事 浜田 光洋 氏、同株式会社半導体事業本部基盤技術統括部課長 西村 安正 博士、同統括部技師 石井 達也 氏、同本部マイコンASIC事業統括部課長 小林 稔史 氏、ならびに同統括部主事 沢田 圭一 氏に感謝致します。

最後に、本研究の遂行にあたり、終始有益な御討論と御協力を頂いた徳島大学工学部電気電子工学科 坂本 明雄 教授、三菱電機株式会社システムLSI開発研究所、同ULSI開発研究所、同株式会社半導体事業本部ならびにアドバンテスト株式会社の関係各位に心から感謝いたします。

## 参考文献

- (1 - 1) J.Bardeen and W.H.Brattain: " The Transistor, A Semiconductor Triode ", Physical Review, vol.74, pp.230-231 (1948)
- (1 - 2) W.H.Brattain and J.Bardeen: "Nature of the Forward Current in Germanium Point Contact ", Physical Review, vol.74, pp.231-232 (1948)
- (1 - 3) W.Shockley and G.L.Pearson: " Modulation of Conductance of Thin Films of Semi-Conductors by Surface Charges ", Physical Review, vol.74, pp.232-233 (1948)
- (1 - 4) J.S.Kilby US Patent 3,138,743 June 23 (1964)
- (1 - 5) J.A.Hoerni US Patent 3,025,589 Mar.20 (1962)
- (1 - 6) B.Gunning, L.Yuna, T.Nguyen and T.Wong: " A CMOS Low-Voltage-Swing Transmission-Line Transceiver ", ISSCC Dig.Tech.Papers, pp.42-43 (1992).
- (1 - 7) N.Kushiyama, S.Ohshima, D.Stark, K.Sakurai, S.Takase, T.Furuyama, R.Barth, J.Dillon, J.Gasbarro, M.Griffin, M.Horowitz, V.Lee, W.Lee and W.Leung: " 500Mbyte/sec Data-Rate 512Kbits x 9 DRAM Using a Novel I/O Interface", Symp.on VLSI Circuit Dig.Tech. Papers, pp.66-67 (1992 )
- (1 - 8) 山田通裕, 小西康弘: 「高速I/Oインターフェースの最近の動向」電子通信情報学会 集積回路研究会 ICD95-31, PP.1-8, (1995)
- (1 - 9) JEDEC Standard No.8-X: "SSTL(Stub Series-Terminated Transceiver Logic) A Center Termination Based Interface Standard for Digital Integrated Circuit Draft Rev.2.0 " (1995)
- (1 - 10) IEEE P1596.3, IEEE 1596 Draft 1.05: " IEEE Draft Standard for Low-Voltage Differential Signals(LVDS) for Scalable Coherent Interface(SCI)", 1995
- (1 - 11) W.Regitz and J.Karp: " A three transistor cell, 1024 bit, 500ns MOS RAM ", ISSCC Dig.Tech.Papers, pp.42-43 (1970)
- (1 - 12) M.Horiguchi, T.Sakata, T.Sekiguchi, S.Ueda, H.Tanaka, E.Yamasaki, Y.Nakagome, M.Aoki, T.Kaga, M.Ohkura, R.Nagai, F.Murai, T.Tanaka, S.Iijima, N.Yokohama, Y.Gotoh, K.Shoji, T.Kisu, H.Yamashita, T.Nishida and E.Takeda: " An Experimental



- 220MHz 1Gb DRAM", ISSCC Dig.Tech.Papers,pp.252-253 (1995).
- (1 - 1 3) T.Sugibayashi,I.Naritake,S.Utsugi,K.Shibahara,R.Oikawa,H.Mori,S.Iwao,  
T.Murotani,K.Koyama,S.Fukuzawa,T.Itani,K.Kasama,T.Okuda,S.Ohya,  
M.Ogawa:" A 1Gb DRAM for File Application", ISSCC Dig.Tech.Papers,  
pp.254-257 (1995).
- (1 - 1 4) S.Ishimoto,A.Nagami,H.Watanabe,J.Kiyono,H.Hirakawa,and Y.Okuyami:  
"A 256K Dual Port Memory",ISSCC Dig.Tech.Papers,pp.38-39 (1985).
- (1 - 1 5) H.Ikeda,A.Tsujimoto,Y.Sato,J.Tajima,T.Adachi,K.Hamaguchi,  
N.Fukuhara,and M.Miyauchi:" 100MHz Serial Access Architecture for 4Mb  
Field Memory", 1990 Symp.on VLSI Circuit Dig.Tech. Papers,pp.11-12  
(1990)
- (1 - 1 6) T.Shimizu,J.Korematsu,M.Sato,H.Kondo,S.Iwata,K.Sawai,N.Okumura,  
K.Ishimi,Y.Nakamoto,M.Kumanoya,K.Dosaka,A.Yamazaki,Y.Ajioka,H.Tsubota,  
Y.Nunomura,T.Urabe,J.Hinata,K.Saitoh:"A Multimedia 32b RISC Microprocessor  
with 16Mb DRAM",ISSCC Dig.Tech.Papers,pp.216-217 (1996).
- (1 - 1 7) Lisa Deerr:" Automatic Calibration for a VLSI Test System", Proc. IEEE Int. Test  
Conf.,pp.181-187 (1983)
- (1 - 1 8) M.Catalano, R.Feldman, R.Krutiansky and R.Swan:" Individual Signal Path  
Calibration for Maximum Timing Accuracy in a High Pincount VLSI Test System",  
Proc. IEEE Int. Test Conf.,pp.188-192 (1983)
- (1 - 1 9) L.J.Grasso, C.E.Morgan, M.A.Peloquin and F.Rajan:" A 250MHz Test System's  
Timing and Automatic Calibration",Proc. IEEE Int. Test Conf.,pp.76-84 (1987)
- (1 - 2 0) Marc Mydill:" A Generic Procedure for Evaluating VLSI Test System Timing  
Accuracy", Proc. IEEE Int. Test Conf.,pp.214-225 (1987)
- (1 - 2 1) C.R.Saikley and Rick Muething:" A Rapid,Low-cost Technique for Precise AC  
Calibration in a Focused ASIC Tester",Proc. IEEE Int. Test Conf.,pp.766-771  
(1987)
- (1 - 2 2) Marc Mydill:" Standardization of ATE Timing Accuracy Specifications", Proc. IEEE  
Int. Test Conf.,pp.193-194 (1988)

- (1 - 2 3) K.Skala:" Continual Autocalibration For Timing Accuracy", Proc. IEEE Int. Test  
Conf.,pp.111-116 (1980)
- (1 - 2 4) S.Sugamori, K.Yoshida, H.Maruyama, S.Kamata and T.Sudo:"Analysis and  
Definition of Overall Timing Accuracy in VLSI Test System:" Proc. IEEE Int. Test  
Conf.,pp.143-153 (1981)
- (1 - 2 5) M.R.Barber:"Subnanosecond Timing Measurements on MOS devices Using Modern  
VLSI Test Systems", Proc. IEEE Int. Test Conf.,pp.170-180 (1983)
- (1 - 2 6) M.R.Barber:" Fundamental Timing Problems in Testing MOS VLSI on Modern  
ATE", IEEE Design & Test of Computers,vol.1,No.3, pp.90-97 (1984)
- (1 - 2 7) D.Petrich:" Achieving Accurate Timing Measurements on TTL/CMOS Devices",  
IEEE Design & Test of Computers,vol.3,No.4, pp.33-42 (1986)
- (1 - 2 8) (株) アドバンテスト編:「T 5 3 6 5 メモリテストシステム一般仕様  
書」 MANUAL No.8204838-05 (1993)
- (1 - 2 9) R.H.Dennard,F.H.Gaensslen,H.N.Yu,V.Rideout,E.Passous and A.R.Le Blanc:"  
Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", IEEE.  
J. Solid-State Circuits, Vol.9, No.5,pp.256-268 (1974)
- (1 - 3 0) N.Nadeau,S.Perreault : " An Analysis of Tungsten Probes' effect on Yield in A  
Production Wafer Probe Environment ", Proc. IEEE Int. Test Conf.,pp.208-215  
(1989)
- (1 - 3 1) B.Lesllie,F.Matta : " MEMBRANE PROBE CARD TECHNOLOGY", Proc. IEEE  
Int. Test Conf.,pp.601-607 (1988)
- (1 - 3 2) C.Barsotti,S.Termaine,M.Bonham : " Very High Density Probing", Proc. IEEE Int.  
Test Conf.,pp.608 -614 (1988)
- (1 - 3 3) Justin Leung,Masoud Zargari,Bruce A.Wooley,S.Simon Wong:"Active Substrate  
Membrane Probe Card",IEDM Dig.Tech.Papers,pp.709 - 712 (1995).
- (1 - 3 4) Masoud Zargari,Justin Leung,S.Simon Wong,Bruce A.Wooley:"A BiMOS Active  
Substrate Probe Card Technology for Digital Testing",ISSCC Dig.Tech. Papers,  
pp.308-309 (1996)
- (1 - 3 5) S.S.Eaton,D.Wooten,W.Slemmer and J.Brady : " A 100ns 64K Dynamic RAM using



- Redundancy Techniques ", ISSCC Dig.Tech.Papers,pp.84 -85 (1981).
- (1 - 3 6) M.Ishihara,T.Matsumoto,S.Shimizu,K.Mitsusada,K.Shimohigashi and T.Mano : " A 256K Dynamic MOS RAM with Alpha Immune and Redundancy ",ISSCC Dig.Tech.Papers,pp.74 - 75 (1982).
- (1 - 3 7) M.S.Abadir : " Functional Testing of Semiconductor Random Access Memories ", Computing Survey,Vol.15,No.3,pp.175 - 198 (1983).
- (1 - 3 8) 岸 政七 : " Waltzing Patternを用いた I C メモリ素子試験 ", 電子通信学会論文誌, (D-1 6 7), 昭 5 2 - 6 7 8, p p. 1 0 3 1 - 1 0 3 8, 1 9 7 7 年
- (1 - 3 9) Ravindra Nair: " An Optimal Algorithm for Testing Stuck-at Fault in Random Access Memories",IEEE Transaction on Computers Vol.C-28,No.3 ,pp.258 -261 (1979)
- (1 - 4 0) 石川 勉, 松沢和光 : " アドレス間ハミング距離に着目したメモリ試験パターン ", 電子通信学会論文誌, (D-1 1 9), 昭 5 6 - 5 1 7, p p. 8 0 7 - 8 1 4, 1 9 8 1 年 2 月
- (1 - 4 1) Steven Winegarden,Donald Pannell: " PARAGONS for Memory Test", Proc. IEEE Int. Test Conf.,pp.38 -48 (1981)
- (1 - 4 2) 伊藤亮三 : " 半導体 R A M の故障検査について ", 電子通信学会総合大会, N o. 4 7 8, 2 - 2 0 0, 昭和 5 4 年
- (1 - 4 3) K.K.Saluja and K.T.Le : " Testable Design of Large Random Access Memories ", Integration,VLSI J.,Vol.2,No.4,pp.309 - 330 (1984).
- (1 - 4 4) B.Konemann,J.Mucha and G.Zwiehoff : " Built-in Test for Complex Digital Integrated Circuits ", IEEE J.Solid-State Circuits, Vol.15,No.3.,pp.315 - 319 (1980)
- (1 - 4 5) T.Tamama and N.Kuji : " Automated Fault Diagnostic EB Tester and its Application to a 40K-gate VLSI Circuit ", Proc. IEEE Int. Test Conf.,pp.643 - 649 (1985)
- (1 - 4 6) N.Kuji,T.Tamama and M.Nagatani : " FINDER : A CAD System-Based Electron Beam Tester for Fault Diagnosis of VLSI Circuits ", IEEE Transactions on Computer-Aided Design, Vol.CAD-5,No.2.,pp.313 - 319 (1986)
- (1 - 4 7) M.Melegala,M.Battu,P.Garino,J.Dowe and M.Marzouki : " Fully Automatic VLSI diagnosis in a CAD-linked E-beam probing system ", Proc. 1st European Conf. on

- electron and optical beam testing of integrated circuits, pp.151 - 162 (1987)
- (1 - 4 8) F.Komatsu,M.Miyoshi,T.Sano and K.Okumura : " An Electron Beam Test System Linked with a CAD Database ", Proc. 1st European Conf. on electron and optical beam testing of integrated circuits, pp.135 - 142 (1987)
- (1 - 4 9) G.Crichton,P.Fazekas and E.Wolfgang : " ELECTRON BEAM TESTING OF MICROPROCESSORS ", Proc. IEEE Int. Test Conf.,pp.444 - 449 (1980)
- (1 - 5 0) T.C.May, G.L.Scott,E.S.Meieran,P.Winer and V.R.Rao: " Dynamic fault imaging of VLSI random logic devices ", Proc. International Reliability Physics Symposium, PP. 95 - 108 (1984).
- (2 - 1) F.Tokuyoshi,H.Takemura,T.Tashiro,S.Ohi,H.Shiraki,M.Nakamae,T.Kubota and T.Nakamae : " A 2.3ns Access Time 4K ECL RAM ", ISSCC Dig.Tech.Papers,pp.220 -221 (1984).
- (2 - 2) T.Tanaka,H.Yamashita,N.Masuda,N.Matsunaga,M.Miyazaki,H.Yanazawa, A.Masaki and Hashimoto : " A 4K SRAM with 1ns Acces Time ",ISSCC Dig.Tech.Papers,pp.138 - 139 (1987)
- (2 - 3) Lisa Deerr: " Automatic Calibration for a VLSI Test System", Proc. IEEE Int. Test Conf.,pp.181-187 (1983)
- (2 - 4) M.Catalano, R.Feldman, R.Krutiansky and R.Swan: " Individual Signal Path Calibration for Maximum Timing Accuracy in a High Pincount VLSI Test System", Proc. IEEE Int. Test Conf.,pp.188-192 (1983)
- (2 - 5) L.J.Grasso, C.E.Morgan, M.A.Peloquin and F.Rajan: " A 250MHz Test System's Timing and Automatic Calibration",Proc. IEEE Int. Test Conf., pp.76-84 (1987)
- (2 - 6) Marc Mydill: " A Generic Procedure for Evaluating VLSI Test System Timing Accuracy", Proc. IEEE Int. Test Conf.,pp.214-225 (1987)
- (2 - 7) C.R.Saikley and Rick Muething: " A Rapid,Low-cost Technique for Precise AC Calibration in a Focused ASIC Tester",Proc. IEEE Int. Test Conf.,pp.766-771 (1987)
- (2 - 8) Marc Mydill: " Standardization of ATE Timing Accuracy Specifications", Proc.



IEEE Int. Test Conf.,pp.193-194 (1988)

- (2-9) K.Skala:"Continual Autocalibration For Timing Accuracy", Proc. IEEE Int. Test Conf.,pp.111-116 (1980)
- (2-10) 多田哲生, 高木亮一, 斎藤祐一, 糸満富士雄, 見学 徹, 石井達也:  
"高性能EBテストによるLSIの高精度タイミング評価法", 学術振興  
会 132委員会 第105回 研究会 pp.19-23 (1989)
- (2-11) 鳴海直明:"LSIテストと他装置間の高速ケーブル接続法", 電子通信  
学会 総合全国大会, No. 361, 2-124, 昭和61年
- (2-12) Eric C.Larson:"Impedance and Capacitance: Effects on IC Testing", Proc. ATE  
& Instrumentation Conf., West '88 (1988)
- (2-13) Mark R.Barber and Walter I.Satre:"Timing Measurements on CMOS VLSI  
Devices Design to Drive TTL Loads", Proc. IEEE Int. Test Conf.,pp.161-168  
(1986)
- (2-14) David Royle:"Correct signal faults by implementing line-analysis theory", EDN  
June 23, 1988
- (2-15) Mark R.Barber:"Subnanosecond Timing Measurements on NMOS Devices  
using Modern VLSI TEST Systems", Proc. IEEE Int. Test Conf.,pp.170-180  
(1983)
- (2-16) Charles Pace:"Terminate bus line to avoid overshoot and ringing", EDN  
Sept.,17 (1987)
- (2-17) 杉本維平, 松井秀夫:"VLSIロジックのテスト", Semiconductor  
World,pp.93-103 (1986)
- (2-18) 高木亮一, 田中浩司, 多田哲生:"高速LSIの試験における伝送特性の  
改善—電流注入法—", 電子情報通信学会 集積回路研究会 ICD89  
-170, pp. 51-58, 1989年12月15日
- (2-19) 常友 力, 浅井幹生, 高木亮一, 多田哲生:"高インピーダンス伝送線路  
を用いた高速試験手法の検討", 電子情報通信学会 集積回路研究会 I  
CD92-121, pp. 45-50, 1992年12月10日
- (3-1) (株)アドバンテスト編:「T5365メモリテストシステム一般仕様

書」 MANUAL No.8204838-05 (1993)

- (3-2) John Peters:"Parallel Die Testing of Memory Devices", Proc. IEEE Southwest Test  
Workshop,(1994)
- (3-3) R.H.Dennard,F.H.Gaensslen,H.N.Yu,V.Rideout,E.Passous and A.R.Le Blanc:"  
Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", IEEE.  
J. Solid-State Circuits, Vol.9, No.5,pp.256-268 (1974)
- (3-4) B.Leslie,F.Matta:"MEMBRANE PROBE CARD TECHNOLOGY", Proc. IEEE  
Int. Test Conf.,pp.601-607 (1988)
- (3-5) C.Barsotti,S.Termaine,M.Bonham:"Very High Density Probing", Proc. IEEE Int.  
Test Conf.,pp.608-614 (1988)
- (3-6) Justin Leung,Masoud Zargari,Bruce A.Wooley,S.Simon Wong:"Active Substrate  
Membrane Probe Card",IEDM Dig.Tech.Papers,pp.709-712 (1995).
- (3-7) Masoud Zargari,Justin Leung,S.Simon Wong,Bruce A.Wooley:"A BiCMOS Active  
Substrate Probe Card Technology for Digital Testing",ISSCC Dig.Tech. Papers,  
pp.308-309 (1996)
- (3-8) N.Nadeau,S.Perreault:"An Analysis of Tungsten Probes' effect on Yield in A  
Production Wafer Probe Environment", Proc. IEEE Int. Test Conf.,pp.208-215  
(1989)
- (3-9) Barry Lieberman:"Improved Analytical Bending Model for A Cantilevered Probe  
Beam", Proc. IEEE Southwest Test Workshop,(1994)
- (3-10) 高木亮一, 植田昌弘, 多田哲生:"多ピンプローブカードの検討", 電子  
情報通信学会春季全国大会, C-641, 1990年
- (3-11) K.Marguerre,H.T.Woernle:"個体の力学シリーズ5 弾性平板", pp. 1  
27-215, 培風館, 昭和49年
- (3-12) T.Tada,R.Takagi,S.Nakao,M.Hyozo,T.Arakawa,K.Sawada,M.Ueda:"A Fine Pitch  
Probe Technology",Proc. IEEE Int. Test Conf.,pp.900-906 (1990)
- (4-1) M.Ueda,K.Sakashita,R.Yonezu,T.Arakawa,S.Asai,Y.Kuramitsu:"A 1.5  $\mu$  CMOS  
gate array with configurable ROM and RAM",ISSCC Dig.Tech. Papers, pp.126-127  
(1985)



- (4 - 2) H.Nakazato,R.Ikeda,S.Yamada,T.Sato,T.Ogawa,Y.Nishimura,Y.Marui:"1.4ns gate array with configurable RAM and high testability",Proc.ESSCIRC, pp.53-55 (1986)
- (4 - 3) T.Shimizu,J.Korematsu,M.Sato,H.Kondo,S.Iwata,K.Sawai,N.Okumura, K.Ishimi,Y.Nakamoto,M.Kumanoya,K.Dosaka,A.Yamazaki,Y.Ajioka,H.Tsubota, Y.Nunomura,T.Urabe,J.Hinata,K.Saitoh:"A Multimedia 32b RISC Microprocessor with 16Mb DRAM",ISSCC Dig.Tech.Papers,pp.216-217 (1996).
- (4 - 4) S.D.Kelly,:"Embedded memory test methods",IBM Tech.Dis.Bull.,21,12,pp.4911-4913(1979)
- (4 - 5) Y.You,J.P.Hayes:"A self-testing dynamic RAM chip",IEEE J.Solid-State Circuits, 20,1,pp.428-435(1985)
- (4 - 6) M.Kumanoya,K.Fujishima,H.Miyatake,Y.Nishimura,K.Saito,T.Matsukawa, T.Yoshihara,T.Nakano:"A reliable 1-Mbit DRAM with a multi-bit-test mode",ISSCC Dig.Tech.Papers,pp.240-241 (1985)
- (4 - 7) J.Neal,B.Holland,S.Inoue,W.K.Loh,H.McAdams,K.Poteet:"A 1Mb CMOS DRAM with design-for-test functions",ISSCC Dig.Tech.Papers,pp.264-265 (1986)
- (5 - 1) 鳴海直明,石川浩司:"LSIメモリの不良解析用試験プログラム",NTT研究実用化報告第32巻第2号 pp. 367-377, 1983年
- (5 - 2) 浜口重建,山田順三,石川浩司:"LSIテストデータと測定プログラムの構成方法",電子通信学会総合全国大会, No. 353, 2-124, 昭和55年
- (5 - 3) 浜田光洋,西村安正,多田哲生:"VLSIメモリの評価用試験プログラム構成およびその適用",電子情報通信学会論文誌, (C-I I), J74-C-I I, No. 11 pp. 755-762, 1991年11月
- (5 - 4) 浜田光洋,西村安正,多田哲生:"VLSIメモリの評価テストプログラム",電子情報通信学会春季全国大会, C-308, 1985年
- (5 - 5) 浜口重建,石川浩司:"LSIメモリにおける動作マージン不良の診断方法",電子情報通信学会論文誌, (C-91), 昭54-390, pp. 542-549, 1979年
- (5 - 6) T.Tada,T.Kobayashi,K.Okada and Y.Kuramitsu:"Testing of Sense Amplifier in

Dynamic Memory",Proceedings of International Test Conference,pp.245 - 251 (1982)

- (5 - 7) 多田哲生,澤田圭一,早坂吉昭:"CMOSゲートアレイの入出力電圧値評価プログラムの開発",電子通信学会総合全国大会, 432, 昭和60年
- (5 - 8) 澤田圭一,多田哲生,早坂吉昭:"VLSIデバイスの高速ピンコンタクトテスト方法",電子通信学会総合全国大会, 390, 昭和60年
- (5 - 9) (株)アドバンテスト編,"WORKBENCH-50ユーザーズ・マニュアル", NO.81505741-01,(1989)
- (5 - 10) 安藤電気(株)編,"QUEST VLSI MEMORY TEST SYSTEM INTERACTIVE SOFTWARE PACKAGEマニュアル", NO.AS-31557-501,(1988)
- (5 - 11) Cihan Tinaztepe,Bulent Ozgtic:"Functional Test Program Generation Through Interactive Graphics", Proc. IEEE Int. Test Conf.,pp.551-558 (1988)
- (5 - 12) Y.Kawabata,M.Maruyama,Al Tejada:"PGTOOL:An Automatic Interactive Program Generation Tool for Testing ,New-Generation Memory Devices", Proc. IEEE Int. Test Conf.,pp.559-568 (1988)
- (5 - 13) Don Organ:"enVision : the inside story", Proc. IEEE Int. Test Conf.,pp.530-536 (1990)
- (5 - 14) Artur E.Downey:"Industry Graphic Standards and ATE Windowing Software", Proc. IEEE Int. Test Conf.,pp.1087-1095 (1991)
- (6 - 1) E.Wolfgang,J.Otto,D.Kantz,R.Lindner:"Stroboscopic voltage contrast of dynamic 4096 bit MOS RAMs",SEM/IV,pp.625 - 632 (1976)
- (6 - 2) H.Fujioka,T.Hosokawa,Y.Kanda,K.Ura:"Submicron electron beam probe to measure signal waveform at arbitrarily specified positions on MHz IC".Scanning Electron Microsc.I,pp.755 - 761 (1978)
- (6 - 3) E.Wolfgang,R.Lindner ,P.Fazekas ,H.P.Feuerbaum :"Electron-beam testing of VLSI circuits",IEEE Trans.Electron Decvice,ED-26,pp.549 - 559 (1979)
- (6 - 4) H.Fujioka,K.Nakamae,K.Ura:"Function testing of bipolar IC's and LSI's with the stroboscopic scanning electron microscope",IEEE J.Solid-State Circuits,SC-15,



pp.177 - 183 (1980)

- (6 - 5) H.Yuasa,M.Fujita,N.Manabe:"SEM stroboscopic techniques - their application to failure analysis of LSI's",Proc.ISTFA,pp.9 - 14 (1980)
- (6 - 6) H.Fujioka,K.Nakamae,K.Ura:"Function testing of bipolar and MOS LSI circuits with a combined stroboscopic SEM-microcomputer system",Trans.IECE Japan, E64, pp.295 - 301 (1981)
- (6 - 7) G.V.Lukianoff,J.S.Wolcott,J.M.Morrissey:"Electron beam testing of VLSI dynamic RAMs",Proc. IEEE Int. Test Conf.,pp.68 - 76 (1981)
- (6 - 8) J.S.Wolcott:"Electron beam testing for verification of voltage distribution on VLSI circuits",Proc.ISFTA,pp.149 - 155 (1982)
- (6 - 9) T.Tamama and N.Kuji : " Automated Fault Diagnostic EB Tester and its Application to a 40K-gate VLSI Circuit ", Proc. IEEE Int. Test Conf.,pp.643 - 649 (1985)
- (6 - 10) N.Kuji,T.Tamama and M.Nagatani : " FINDER : A CAD System-Based Electron Beam Tester for Fault Diagnosis of VLSI Circuits ", IEEE Transactions on Computer-Aided Design, Vol.CAD-5,No.2.,pp.313 - 319 (1986)
- (6 - 11) M.Melegala,M.Battu,P.Garino,J.Dowe and M.Marzouki : " Fully Automatic VLSI diagnosis in a CAD-linked E-beam probing system ", Proc. 1st European Conf. on electron and optical beam testing of integrated circuits, pp.151 - 162 (1987)
- (6 - 12) F.Komatsu,M.Miyoshi,T.Sano and K.Okumura : " An Electron Beam Test System Linked with a CAD Database ", Proc. 1st European Conf. on electron and optical beam testing of integrated circuits, pp.135 - 142 (1987)
- (6 - 13) T.C.May, G.L.Scott,E.S.Meieran,P.Winer and V.R.Rao:" Dynamic fault imaging of VLSI random logic devices ", Proc. International Reliability Physics Symposium, PP. 95 - 108 (1984)
- (6 - 14) 日本電子顕微鏡学会編：" 走査電子顕微鏡 ", 共立出版, 1976年
- (6 - 15) G.S.Plows,W.C.Nixon:"Stroboscopic scanning electron microscopy",J.Phys.E, Ser.2,pp.595 - 600 (1968)
- (6 - 16) S.Fujii,K.Natori,T.Furuyama,S.Saito,H.Toda,T.Tanaka,O.Ozawa:"A low-power sub 100ns 256k bit dynamic RAM", IEEE J.Solid-State Circuits,SC-18,pp.441 - 446

(1983)

- (6 - 17) 多田哲生, 兵三正彦, 石井達也：" VLSIメモリ解析用自動EBテストシステム", 電子情報通信学会 信頼性研究会 R89-35 1989年11月24日
- (6 - 18) T.Tada,T.Ishii,H.Nijima and Y.Kohmoto:"High Throughput E-B Test System for VLSI Memories", Microelectronic Engineering,pp.47 - 54 (1990)
- (6 - 19) D.L.Crosthwait,F.W.Ivy:"Voltage contrast methods for semiconductor device failure analysis",SEM/IV,pp.935 - 940 (1974)
- (6 - 20) G.Crichton,P.Fazekas and E.Wolfgang:" ELECTRON BEAM TESTING OF MICROPROCESSORS ",Proc. IEEE Int. Test Conf.,pp.444 - 449 (1980)
- (6 - 21) M.Ostrow,E.Menzel,E.Postulka,S.Gorlich,E.Kubalek:"IC-interanal electron beam logic state analysis",SEM/II,pp.563 - 572 (1981)



## 本研究に関する関連発表論文

### 1. 学会論文誌発表論文

- ( 1 ) 多田哲生, 田中 宏, 山田 強, 常友 力: " テスト回路内蔵RAMのLSI  
     テストによるスト時間短縮化の検討", 電子情報通信学会論文誌, (C-II  
     ), J73-C-II, No. 3 pp. 203-212, 1990年3月
- ( 2 ) T.Tada, T.Ishii, H.Nijima and Y.Kohmoto: "High Throughput E-B Test System for VLSI  
     Memories", Microelectronic Engineering, pp.47 - 54 (1990)
- ( 3 ) 浜田光洋, 西村安正, 多田哲生: " VLSIメモリの評価用試験プログラム構  
     成およびその適用", 電子情報通信学会論文誌, (C-II), J74-C-  
     II, No. 11 pp. 755-762, 1991年11月

### 2. 講演論文

#### I. 国際会議 (査読あり)

- ( 1 ) T.Tada, T.Kobayashi, K.Okada and Y.Kuramitsu: "Testing of Sense Amplifier in Dynamic  
     Memory", Proceedings of International Test Conference, pp.245 - 251 (1982)
- ( 2 ) H.Maeno, T.Hanibuchi, T.Tada, R.Walters and T.Eto: "Testing of Embedded RAM Using  
     Exhaustive Random Sequences", Proceedings of International Test Conference, pp.105 -  
     110, (1987)
- ( 3 ) T.Tada, R.Takagi, S.Nakao, M.Hyozo, T.Arakawa, K.Sawada and M.Ueda: "A Fine Pitch  
     Probe Technology for VLSI Wafer Testing", Proceedings of International Test  
     Conference, pp.900 - 906, (1990)
- ( 4 ) H.Noda, M.Ito, T.Kumamoto and T.Tada: "IDDQ Testing for Mixed Signal LSI including  
     10bit A/D Converter", IEEE International Workshop on IDDQ Testing, pp.90 -95, (1995)

#### II. 電子情報通信学会および日本学術振興会技術研究報告 (査読なし)

- ( 1 ) 前野秀史, 埴淵敏明, 多田哲生, Rex Walters, 江藤俊雄: " 全周期系列をアド  
     レス指定に用いた内蔵RAMのテスト方法", 電子情報通信学会 集積回路研  
     究会 ICD87-76 1987年11月
- ( 2 ) 石井達也, 益子洋治, 多田哲生, 小山 浩, 河津 哲, 皆藤 孝, 足立達哉:  
     " 集積イオンビームを用いた電子ビームテスト技術", 学振第132委  
     員会 第101回研究会 1987年11月
- ( 3 ) 山田 強, 多田哲生, 滝本 功, 植田昌弘: " ゲートアレイ内蔵メモリのテス  
     ト補助回路とテストベクタの評価", 電子情報通信学会 研究会 VLD88  
     -57 昭和63年
- ( 4 ) 多田哲生, 高木亮一, 斉藤祐一, 糸満富士雄, 見学 徹, 石井達也: " 高性能  
     EBテストによるLSIの高精度タイミング評価法", 学振第132委員会  
     第105回 研究会 昭和63年11月25日
- ( 5 ) 多田哲生, 兵三正彦, 石井達也: " VLSIメモリ解析用自動EBテストシス  
     テム", 電子情報通信学会 信頼性研究会 R89-35 1989年11月  
     24日
- ( 6 ) 高木亮一, 田中浩司, 多田哲生: " 高速LSIの試験における伝送特性の改善  
     —電流注入法—", 電子情報通信学会 集積回路研究会 ICD89-170  
     1989年12月15日
- ( 7 ) 石井達也, 兵三正彦, 多田哲生, 牧 信久: " EBテストにおける一次  
     電子着地誤差の補正法", 学振第132委員会第109回研究会 平成元年1  
     2月7日
- ( 8 ) 兵三正彦, 多田哲生, 松村哲哉: " EBテストを用いたVLSI信頼性不良解  
     析の効率化", 電子情報通信学会 信頼性研究会 平成2年11月16日
- ( 9 ) 高木亮一, 多田哲生, 兵三正彦, 中尾 伸, 荒川隆彦, 澤田圭一, 植田昌弘  
     : " 多ピンVLSIのテストプロービング技術の開発 —ガラスプローブカー  
     ドの試作—", 電子情報通信学会集積回路研究会 平成2年12月13日
- ( 10 ) 常友 力, 浅井幹生, 高木亮一, 多田哲生: " 高インピーダンス伝送線路を用  
     いた高速試験手法の検討", 電子情報通信学会 集積回路研究会 ICD92



-12 1992年12月10日

- (11) 篠永直之, 古江勝也, 出口善宣, 堀江克典, 松井裕司, 高木亮一, 多田哲生:  
”テスト技術開発の効率化を目的としたテストシミュレーション技術の開発”  
, 電子情報通信学会 集積回路研究会 平成6年11月24日 ICD94-141
- (12) 野田 寛, 蔵永 寛, 近藤晴房, 多田哲生:” デジタルフィルタリングによるテスト用アナログ波形の発生方法”, 電子情報通信学会 集積回路研究会 平成6年11月24日 ICD94-142
- (13) 野田 寛, 伊藤正雄, 熊本敏夫, 多田哲生, 角 正:” 10-bit A/Dコンバータを内蔵したアナ/デジ混在LSI のアナログIDDQテスト方法”, 電子情報通信学会 集積回路研究会 平成7年12月15日

### III. 電子情報通信学会全国大会報告 (査読なし)

- (1) 多田哲生, 澤田圭一, 早坂吉昭:” CMOSゲートアレイの入出力電圧値評価プログラムの開発”, 電子通信学会総合全国大会, 432, 昭和60年
- (2) 澤田圭一, 多田哲生, 早坂吉昭:” VLSIデバイスの高速ピンコンタクトテスト方法”, 電子通信学会総合全国大会, 390, 昭和60年
- (3) 前野秀史, 多田哲生, 早坂吉昭:” ゲートアレイテストへのインテリジェント端末の応用”, 電子通信学会総合全国大会, 2-109, 昭和60年
- (4) 多田哲生, 前野秀史, 早坂吉昭:” アドレス指定に疑似乱数を用いた内蔵メモリのテスト”, 電子通信学会総合全国大会, 366, 昭和61年
- (5) 澤田圭一, 多田哲生, 早坂吉昭:” VLSIデバイスの高速DC測定方法”, 電子通信学会総合全国大会, 368, 昭和61年
- (6) 澤田圭一, 多田哲生, 江藤俊雄:” VLSIテストの容量検出プログラム”, 電子情報通信学会全国大会, 2-120, 昭和61年
- (7) 前野秀史, 多田哲生, 江藤俊雄:” 内蔵RAMのランダムマーチテスト”, 電子情報通信学会全国大会, 2-118, 昭和62年
- (8) 山田 強, 多田哲生, 植田昌弘, 滝本 功, 江藤俊雄:” ロジックLSI内蔵メモリのテスト補助回路”, 電子情報通信学会全国大会, 2-89, 昭和62

年

- (9) 山田 強, 多田哲生, 江藤俊雄:” VLSI電源用テストボード”, 電子情報通信学会春季全国大会, C-253, 昭和63年
- (10) 山田 強, 多田哲生, 田中 宏, 常友 力:” ゲートアレイ内蔵メモリのテストベクタの検討”, 電子情報通信学会春季全国大会, C-283, 1989年
- (11) 石井達也, 兵三正彦, 多田哲生, 牧 信久, 松本平八:” VLSIメモリ解析用自動EBテストシステム”, 電子情報通信学会秋季全国大会, C-120, 1989年
- (12) 高木亮一, 植田昌弘, 多田哲生:” 多ピンプローブカードの検討”, 電子情報通信学会春季全国大会, C-641, 1990年
- (13) 西尾 諭, 野田 寛, 蔵永 寛, 多田哲生:” LSIテストによるジッタ生成方法の検討”, 電子情報通信学会春季全国大会, C-542, 1992年
- (14) 兵三正彦, 辻井利之, 近藤晴房, 多田哲生:” LSIテストを用いたPLL回路内蔵LSIのテスト時間短縮の検討”, 電子情報通信学会春季全国大会, C-560, 1993年

### 3. 共著書

- (1) ”LSIテスト技術” トリケップス (昭和61年12月25日)
- (2) ”ULSI DRAM技術” サイエンスフォーラム (1992年9月25日)

### 4. 取得特許 (第1発明者特許)

- (1) 「半導体試験装置」  
国内 公告番号: 特公平3-16626 登録番号: 165858
- (2) 「半導体試験装置」  
国内 公告番号: 特公平5-21431 登録番号: 209418
- (3) 「半導体試験装置」  
国内 公告番号: 特公平7-46127 登録番号: 272168



- ( 4) 「ウェハ試験用探触板」  
国内 公告番号：特公平7-114227 登録番号：181946
- ( 5) 「SEMICONDUCTOR TESTING DEVICE」  
米国 登録番号：4799009
- ( 6) 「SEMICONDUCTOR TEST SYSTEM」  
米国 登録番号：4888715
- ( 7) 「SEMICONDUCTOR DEVICE TESTING DEVICE」  
米国 登録番号：4720671  
独国 登録番号：3528189
- ( 8) 「SEMICONDUCTOR DEVICE TESTER」  
米国 登録番号：4807229
- ( 9) 「TESTING APPARATUS FOR SEMICONDUCTOR DEVICE」  
米国 登録番号：4801871
- (10) 「TEST ASSIST CIRCUIT FOR A SEMICONDUCTOR DEVICE PROVIDING FAULT ISOLATION」  
米国 登録番号：4873686  
独国 登録番号：3800766
- (11) 「PROBING PLATE FOR WAFER TESTING」  
米国 登録番号：4961052
- (12) 「PROBING CARD FOR WAFER TESTING AND METHOD OF MANUFACTURING THE SAME」  
米国 登録番号：4983908
- (13) 「METHOD OF MANUFACTURING A PROBING CARD FOR WAFER TESTING」  
米国 登録番号：5042148







## 論文審査の結果の要旨

報告番号	甲 工 乙 工 第 17 号 工 修	氏 名	多 田 哲 生
審査委員	主 査 牛 田 明 夫 副 査 為 貞 建 臣 副 査 木 内 陽 介		
学位論文題目 V L S Iメモリに対するテストの効率化に関する研究			
審査結果の要旨 <p>トランジスタの発明を契機に半導体は驚異的に発展し、今日の高度情報化社会の実現に大きく貢献している。半導体の中でも特に、L S Iメモリは微細加工技術を基盤とし、あらゆる分野のエレクトロニクス機器のキーパーツとして利用されている。今後は高度情報化の実現に極めて重要な役割を果たすL S Iメモリに対するテスト技術の高度化が一層必要となる。</p> <p>本研究は、V L S Iメモリの（1）高速化、（2）チップの小面積化、（3）大規模化、（4）多様化、（5）高信頼化に対応するテストの効率化に関して報告がなされた。</p> <p>（1）高速化：インピーダンスの不整合より生じる波形の歪を抑制することを目的に伝送線路にL S Iテストより電流を高速に供給する方法を提案している。本手法により波形の歪が大幅に改善され、高速（150MHz）L S Iのタイミング測定が実現した。</p> <p>（2）チップの小面積化：小面積化はチップ内部のボンディングパッドの狭隘化を招き、プロービング（探針）が困難になる。従来のプロービング手法の限界を論理とデータで詳細に論じている。狭隘パッド対応の新規構造プロービング装置を写真製版法で製造し、各種の豊富な実験データより、その有効性・実用性を明示している。本構造によるプローブ装置はその潜在能力が高く今後のプロービング手法の主流となると予想される。</p> <p>（3）大規模化：大規模内蔵メモリのテスト時間を短縮を目的に擬似乱数発生回路を応用したテスト回路を提案している。この回路はテスト手順が少なくなり、極めてユニークな回路である。また、テスト時間とメモリ構成の関係をテストパターンの容量や記述法などから総合的に論じ、テスト時間算出するための計算式を導出している。この式よりテスト時間の評価が容易となり、テストの生産性が向上できる実用的な研究内容である。</p> <p>（4）多様化：テスト・評価用テストプログラムの作成を容易化するためにプログラム構造の研究である。被テストメモリの機能に専用な部分と被テストメモリに依存しない評価手順などの共通部が存在することに注目し、それらをモジュール化とした。また、L S Iテストのテスト能力を損なわない様にプログラムの記述書式を標準化している。テストプログラムを構造化することにより被テストメモリに依存して新たに作成するテスト項目はモジュールの追加のみで対応可能となった。本構造を実際に16種類の機能の異なるメモリのテストプログラム作成に適用し、作成時間が従来と比較して1／5となり、この成果は注目に値するものである。</p> <p>（5）高信頼化：電子ビームテストを用いて不良データを採取する作業効率を向上するために、メモリに特化した電子ビームテストシステムの開発報告である。メモリの内部構成は規則性が高いことを利用して、不良アドレス情報とチップ座標を対応させることでチップ内部の不良領域を自動的に抽出できるようになった。このシステムを実際の4MDRAMに適用して従来と比較して不良データ採取が1／19と驚異的な時間短縮を実現している。</p> <p>本テストシステムはV L S Iメモリの特徴を活かした効率的な不良解析システムである。</p> <p>以上、本研究は、V L S Iメモリのテストの効率化に関し、種々のテスト課題に対し、具体的手法を開発するとともに実際に適用してその有効性を確認するなど、本論文は博士（工学）の学位授与に値するものと判定する。</p>			